

INSTITUTO TECNOLÓGICO Y DE ESTUDIOS SUPERIORES DE OCCIDENTE

Reconocimiento de validez oficial de estudios de nivel superior según acuerdo secretarial
15018, publicado en el Diario Oficial de la Federación el 29 de noviembre de 1976.

Departamento de Electrónica, Sistemas e Informática

MAESTRÍA EN DISEÑO ELECTRÓNICO



REPORTE DE FORMACIÓN COMPLEMENTARIA EN ÁREA DE CONCENTRACIÓN EN DISEÑO ELECTRÓNICO DE ALTA FRECUENCIA

Trabajo recepcional que para obtener el grado de

MAESTRO EN DISEÑO ELECTRÓNICO

Presenta: Francisco Arturo Arias Meza

Asesor: Dr. Esteban Martínez Guerrero

Asesor: Dr. Zabdiel Brito Brito

Asesor: Dr. José Ernesto Rayas Sánchez

San Pedro Tlaquepaque, Jalisco. Marzo de 2017.

Contenido

Introducción	1
1. Resumen de los proyectos realizados	2
1.1. <i>TIMER555</i> – DISEÑO FÍSICO DE CIRCUITOS INTEGRADOS.....	2
1.2. <i>RETURN LOSS IMPROVEMENT</i> - DISEÑO ELECTRÓNICO EN ALTA FRECUENCIA.....	4
1.3. COMPARACIÓN DE LA RESPUESTA DE REFLEXIÓN EN MICROCINTAS CON DOBLECES DE 90° ABRUPTOS, ACHURADO Y TRANSICIÓN RADIAL – MÉTODOS DE SIMULACIÓN DE CIRCUITOS ELECTRÓNICOS.....	6
2. Conclusiones	8
Apéndices	9
A. TIMER 555 – DISEÑO FÍSICO	10
B. RETURN LOSS IMPROVEMENT	35
C. COMPARACIÓN DE LA RESPUESTA DE REFLEXIÓN EN MICROCINTAS CON DOBLECES DE 90° ABRUPTOS, ACHURADO Y TRANSICIÓN RADIAL.....	47

Introducción

El área de concentración elegida fue Diseño Electrónico en Alta Frecuencia que, si bien es un tópico muy ligado al diseño de microcintas, filtros y redes de acoplamiento pasivas, particularmente a nivel de placa de circuito impreso (PCB por sus siglas en inglés), las implicaciones de integridad de señal se manifiestan incluso a nivel circuito integrado. Por esto, los transmisores y receptores de datos de alta frecuencia utilizan técnicas como el pre-énfasis y la ecualización adaptiva para recuperar los datos. Incluso dentro del mismo circuito integrado, las redes de distribución de reloj utilizan diferentes técnicas de transmisión dependiendo de las interconexiones o las cargas que manejan y la estructura de la red (serie, estrella, árbol H, etc.). Se han elegido 3 proyectos que enlazan el diseño en alta frecuencia con la importancia de los efectos parásitos del diseño físico de los circuitos integrados que influye en la integridad de la señal. Estos proyectos corresponden a las materias siguientes:

- Diseño físico de circuitos integrados
- Diseño electrónico en alta frecuencia
- Métodos de simulación de circuitos electrónicos

Hoy día, uno de los principales requerimientos de las compañías que desarrollan aplicaciones es que la lista de materiales (BOM por sus siglas en inglés) sea lo más reducida y menos costosa posible, haciendo que las terminaciones de la fuente y la carga, entre otros parámetros discretos, sean movidos dentro de los circuitos integrados, además de incluir capacidades de programabilidad y calibración, una prestación adicional a la solución integrada. Para las velocidades de datos que se manejan actualmente en los sistemas de comunicación superiores a 1Gbps, los efectos parásitos juegan un rol más agresivo para la integridad de la señal, por tanto es necesario echar mano de la teoría de líneas de transmisión y redes de acoplamiento para compensar, en una banda determinada, los efectos de las reactancias que degradan la señal y que provocan una mayor pérdida de datos.

Finalmente, estos 3 proyectos elegidos tienen un radio de alcance mayor que es el de construir bancos de prueba más complejos para realizar simulaciones que permitan verificar la funcionalidad de un circuito en una condición más apegada una aplicación real, asegurando así la

calidad del circuito en una etapa *pre-silicio* y estableciendo los requerimientos y especificaciones para la elaboración de bancos de prueba *post-silicio*, donde se valida la funcionalidad del circuito contra especificaciones. Mientras mejores y más exhaustivas sean las pruebas, mejor será la calidad del producto entregado.

1. Resumen de los proyectos realizados

El área de concentración del presente trabajo, Diseño Electrónico de Alta Frecuencia, requiere cumplir con los conocimientos tales como teoría de líneas de transmisión, caracterización de dispositivos con elementos concentrados o distribuidos, integridad de señal, métodos de simulación, etc. Los 3 reportes anexos se enlazan precisamente en la característica de integridad de señal la cual se ve comprometida cuando hay desacoplo de impedancias entre un transmisor y un receptor, cuando la línea de transmisión no tiene la impedancia adecuada, cuando la terminación no está calibrada apropiadamente, etcétera.

Se describirán los proyectos primero desde la perspectiva del circuito integrado, la relevancia de realizar un *layout* apropiado para conservar la integridad de la señal dentro del dado. Después, la interfaz entre el PCB y el circuito integrado donde se adicionan más elementos que provocan un desacoplo de impedancia y es necesario compensar dentro del circuito integrado, ya que el agregar elementos discretos en el PCB implica elevar el costo del BOM. Finalmente, se hace una comparación en microcintas con diferentes dobleces en términos del parámetro de reflexión y modelando con programas como APLAC y Sonnet.

1.1. *Timer555* – Diseño Físico de Circuitos Integrados

El primer proyecto que se reporta es el diseño de *layout* del circuito multivibrador conocido como *Timer555* utilizando el CDK de uso libre de NCSU. Este circuito tiene la particularidad de incorporar bloques tanto analógicos como digitales, permitiendo explorar las técnicas de *layout* para ambos tipos de circuitos.

Como es sabido, el diseño en esquemático (*pre-layout*) de un circuito cualquiera, no cuenta con los elementos parásitos resultantes de las interconexiones entre los dispositivos o aquellos otros que se forman, en el caso de los circuitos integrados, por la adición de elementos *dummy*,

anillos de guarda, *tiling* para perfilado de densidad de material, pozos de material P o N, o simplemente por el tipo de ruteo entre los dispositivos. Con cierta experiencia y conocimiento de la tecnología, el diseñador puede estimar los valores de los elementos parásitos y así incluirlos en su banco de pruebas para simular el desempeño del circuito, sin embargo, la mejor opción es hacer una extracción de parásitos del circuito, generando un archivo *netlist* comúnmente llamado *post-layout* el cual le añade a cada nodo, además de los dispositivos correspondientes por el esquemático, los elementos parásitos que afectan al mismo, provocando una variación en la respuesta del circuito, es decir, una respuesta más apegada a lo que será el circuito real.

Hablando en términos de diseño integrado, independientemente de la aproximación digital o analógica, lidiar con capacitancias parásitas de decenas de femtofaradios puede provocar una lenta transición de la excursión de la señal, admitiendo más ruido, o la pérdida por completo de la misma. Existen también diferencias en el proceso de fabricación del circuito integrado que provocan variaciones en parámetros como el voltaje de umbral V_{TH} , la capacitancia de óxido en la compuerta C_{ox} y la cantidad de dopaje en la región activa y otros más, así como variaciones en las dimensiones efectivas de ancho y largo (W & L) del transistor lo que impacta directamente a la operación del circuito ya que, finalmente los parámetros W & L son los básicos con los que se diseña cualquier circuito integrado.

Por un lado, en las compuertas digitales básicas se requiere que cumplan con un diseño muy compacto y de dimensiones estándar en cuanto a largo y alto de la celda ya que, estas se utilizan generalmente con herramientas que ejecutan un “ensamble” automatizado conocido como *Place & Route* y aprovechan estas propiedades de las dimensiones para lograr integrar bloques compactos. Se puede decir a manera de que mientras menor sea el área que ocupe un bloque, menor será la potencia de consumo del mismo.

Por otro lado, en los bloques analógicos se estila el mantener la simetría del diseño y echar mano de técnicas como interdigitado y centroide común que se aplican con el objetivo de conservar una distribución homogénea de la corriente y resultando en un comportamiento uniforme de los transistores, así como reducir las capacitancias parásitas creadas el ruteo las cuales afectan a la respuesta *post-layout* del sistema.

En este mismo sentido, se recurre a la inclusión de dispositivos *dummy* a las orillas con el propósito de contrarrestar efectos que modifican la operación de los transistores como lo son estrés

mecánico en la interface del silicio y la región activa, los gradientes de dopado, las imperfecciones resultantes del proceso de grabado conocido como *etching*.

1.2. *Return Loss Improvement* - Diseño Electrónico En Alta Frecuencia

Los elementos parásitos causados por las interconexiones propias del diseño integrado, el paquete que contiene al dado de silicio, el ruteo del mismo y demás causas, son finalmente visibles como parte de la carga que la fuente maneja.

Es común encontrar en los diseños de circuitos integrados de receptores de datos o reloj que cuenten con un sistema de calibración de la impedancia de terminación que se está ejecutando de forma cíclica durante la operación del circuito para compensar las variaciones de proceso y temperatura en tiempo real.

Los esquemas de calibración mencionados comúnmente aplican compensación para la parte resistiva, es decir, la parte real de la impedancia, dejando la reactancia de lado, la cual, de tener un valor considerable, puede modificar completamente la magnitud efectiva de la impedancia. De ser así, que la impedancia de entrada del circuito receptor sea diferente o no esté acoplada a la impedancia del circuito transmisor, no se logrará la máxima transferencia de potencia.

Tomando como ejemplo un caso real de la industria, donde un puerto de entrada terminado a retorno con 50Ω y capacidad de calibración presentaba un alto valor de capacitancia alrededor de 5.125GHz provocando una pobre pérdida de retorno (*return loss*, RL).

Una opción para solucionar el desacople de impedancia seria hacer una red de acoplamiento justo antes de llegar al puerto de entrada del circuito receptor pero esto representa el aumento de elementos en la lista de componentes, incrementando el costo de producción. Como se ha mencionado antes, al igual que las terminaciones, las redes de acoplamiento se han movido dentro del silicio con diferentes fines:

- Reducir el costo de la solución a nivel PCB.
- Añadir programabilidad a la red de acoplamiento o terminación.
- Tener una red que varíe, por proceso y temperatura, en la misma proporción que los elementos internos del circuito integrado, por tanto, una compensación más uniforme.

Como es posible encontrar en el reporte anexo, el ejercicio se trató de utilizar un segmento de línea *stub* cortocircuitada a retorno para crear un elemento inductivo que cancele el efecto de la capacitancia parásita en el puerto de entrada con la finalidad de reducir la magnitud del parámetro RL y finalmente permitir al receptor de datos recuperar la señal con menor ruido y, por tanto, utilizando menor potencia.

Después de hacer el análisis se encontró que la longitud que debería tener la línea de transmisión era aproximadamente 3.22 mm lo cual es una solución poco viable ya que, aun cuando los dados de silicio puedan ser más grandes que ese valor, la cantidad de puertos receptores son al menos 4 y de tipo diferencial, por lo que sería necesario acomodar 8 líneas de transmisión a lo largo del dado para compensar cada puerto. Por ello fue propuesto no compensar el valor de la capacitancia como elemento concentrado sino elemento distribuido, es decir, acoplar la impedancia a cada bloque interno por secciones de manera que el remanente para acoplar al nivel más alto de la jerarquía sea un valor que pueda ser acoplado con una solución más factible.

Una solución adicional es el uso de inductores integrados que, si bien ocuparían un área menor que una línea de transmisión, se deben tomar consideraciones particulares al respecto, como las siguientes:

- En un par diferencial, no se deben usar inductores en paralelo entre el par, ya que la información de modo común se perdería puesto que en DC, el inductor es meramente un corto circuito.
- El ancho del metal con el que se construye el inductor debe ser capaz de manejar una alta cantidad de corriente para evitar efectos de electromigración, ruptura o fundido, además de ayudar al desalojo de carga en el caso de un evento de ESD (*electrostatic discharge*).
- El ensanchamiento del conductor así como el incremento indiscriminado de espiras del inductor puede provocar que los elementos parásitos crezcan en número, en valor, o en ambos.
- Dados los niveles de integración actuales, los inductores pueden quedar sobre circuitería que afecte el valor del inductor, que le provoque ruido al inductor o viceversa.

1.3. Comparación de la respuesta de reflexión en microcintas con dobleces de 90° abruptos, achurado y transición radial – Métodos de Simulación de Circuitos Electrónicos

La teoría de líneas de transmisión es aplicable tanto a nivel PCB, a nivel paquete, como a nivel integrado. Las frecuencias utilizadas hoy día en los sistemas transmisión de datos son en el orden de los GHz, donde la longitud de onda es comparable incluso con algunas distancias de ruteo dentro del dado como son las redes de reloj.

De acuerdo a la definición de una línea de transmisión, un par de conductores con una geometría definida y un espaciamiento específico con un dieléctrico uniforme para mantener un valor de impedancia característica determinado dentro de un rango de tolerancia, las señales que viajan a través de la línea de transmisión que interconecta dos puntos, retornan por el camino complementario (comúnmente denominado como tierra, *ground* o simplemente retorno) y la impedancia característica guardará el mismo valor siempre y cuando la geometría de la sección transversal de la línea y sus materiales no cambien.

El objetivo principal de este trabajo fue el de comparar la respuesta de reflexión en microcintas con distintos dobleces y compararlos contra una microcinta recta y lo que se denominó como “ancho de banda útil”, definido por la frecuencia a la que $|S_{21}|$ tiene una atenuación de 1dB.

En PCB comerciales es común encontrar que las líneas hacen dos dobleces de 45° para cambiar el sentido 90°, algo menos común es el encontrar transiciones radiales pero son más frecuentes en aplicaciones de muy alta frecuencia o RF y hay un motivo para estas dos ya que, son los dos tipos de dobleces que presentan menor resistividad. Dicha resistividad es mayor en las transiciones abruptas donde se vuelve evidente a través del efecto *Indy* como se menciona en el reporte anexo, el cual consiste en una alta concentración de corriente en la esquina interior de la microcinta, elevando el valor de resistividad de la misma y reduciendo el mencionado ancho de banda útil.

En términos de los simuladores tipo 2.5D y 3D, es notoria la influencia de la celda mínima de cuadrícula y de la caja de análisis para los modeladores en tres dimensiones respecto a los métodos de análisis de los de tipo 2.5D o incluso 2D. El tamaño de cuadrícula determinará qué tan fino será el análisis lo mismo la precisión del resultado, de modo que mientras más pequeña la celda, mayor precisión y mayor consumo de recursos computacionales para la solución. Por otro lado, si la caja de análisis no es lo suficientemente amplia, las resonancias internas causan cambios

en el campo electromagnético, lo cual se refleja en los resultados del análisis, mostrando los puntos de resonancia correspondientes a las dimensiones de la caja mencionada.

En el trabajo se demostró que las transiciones radiales y $2 \times 45^\circ$ guardan similitud en su respuesta y son mejores que las transiciones abruptas de 90° con y sin achurado. Estas respuestas de las microcintas repercuten en la integridad de la señal la cual se evalúa (entre otros parámetros) por la pérdida de señal, cada transición de la línea de transmisión acumulará pérdida, por tanto, se prefiere utilizar los dobleces que menos pérdida ofrezcan.

2. Conclusiones

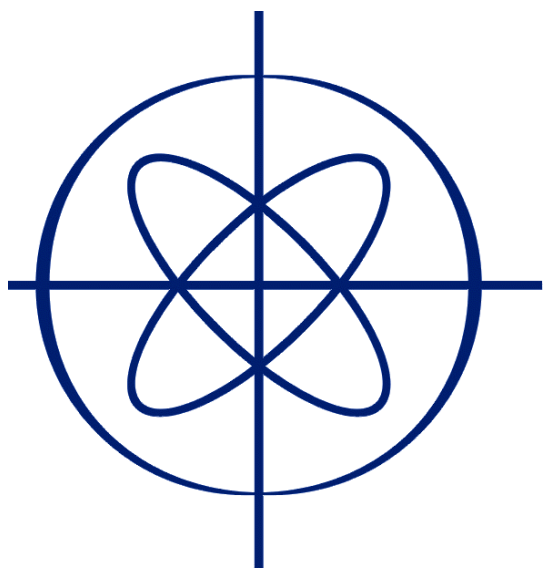
En los tres trabajos elegidos para el presente trabajo se hace referencia tanto al diseño de circuitos integrados como al diseño en alta frecuencia, dejando en claro que no son campos ajenos o excluyentes sino que la teoría es aplicable en cualquier nivel de la escala de diseño, sea discreto o integrado. Los efectos de elementos parásitos pequeños no son tan impactantes a nivel PCB como lo son a nivel integrado, donde las distancias nanométricas o micrométricas, traen a primer plano los efectos mencionados.

Se demuestra también que el propósito de este trabajo, como reporte de Formación Complementaria se cumple ya que en los conocimientos obtenidos y más aún, la información contenida en los reportes de las materias fueron aplicados directamente en las tareas que el autor desarrolla en el día a día en la industria, aun cuando la mayor experiencia es sobre circuitos integrados. El uso de la teoría del diseño en alta frecuencia es fundamental para una mejor aproximación a la realización de los circuitos y el análisis de los mismos bajo consideraciones de integridad de señal donde esta se ve comprometida por los elementos parásitos provocados por un *layout* inapropiado o un desacoplo de las impedancias, ya sean a nivel discreto o integrado.

El mayor impacto que el autor puede destacar es en el diseño de los circuitos con una aproximación de alta frecuencia e integridad de señal y la elaboración de bancos de prueba para simulaciones *pre-silicio* donde se puedan recrear condiciones similares a las de la aplicación final. Utilizando simuladores que soportan diferentes modelos simultáneamente (SPICE, Parámetros S, Verilog, Verilog-A, etc.) es posible hacer una validación del comportamiento del circuito inmerso en un sistema más grande, en lugar de verificar únicamente si este cumple con especificaciones “locales”, lo cual dejaría un vacío de información al no tener la certeza que al interactuar con otros bloques, el circuito salga de especificación y, por tanto, reduciendo la calidad del entregable. Nuevamente, mientras más exhaustiva sea la verificación *pre-silicio*, mejor será la calidad del producto entregado y la seguridad que los datos recogidos en la validación *post-silicio* sean consistentes, evitando el costoso proceso de rediseño.

Apéndice

A. TIMER 555 – DISEÑO FÍSICO



ITESO

UNIVERSIDAD JESUITA
EN GUADALAJARA

Timer 555

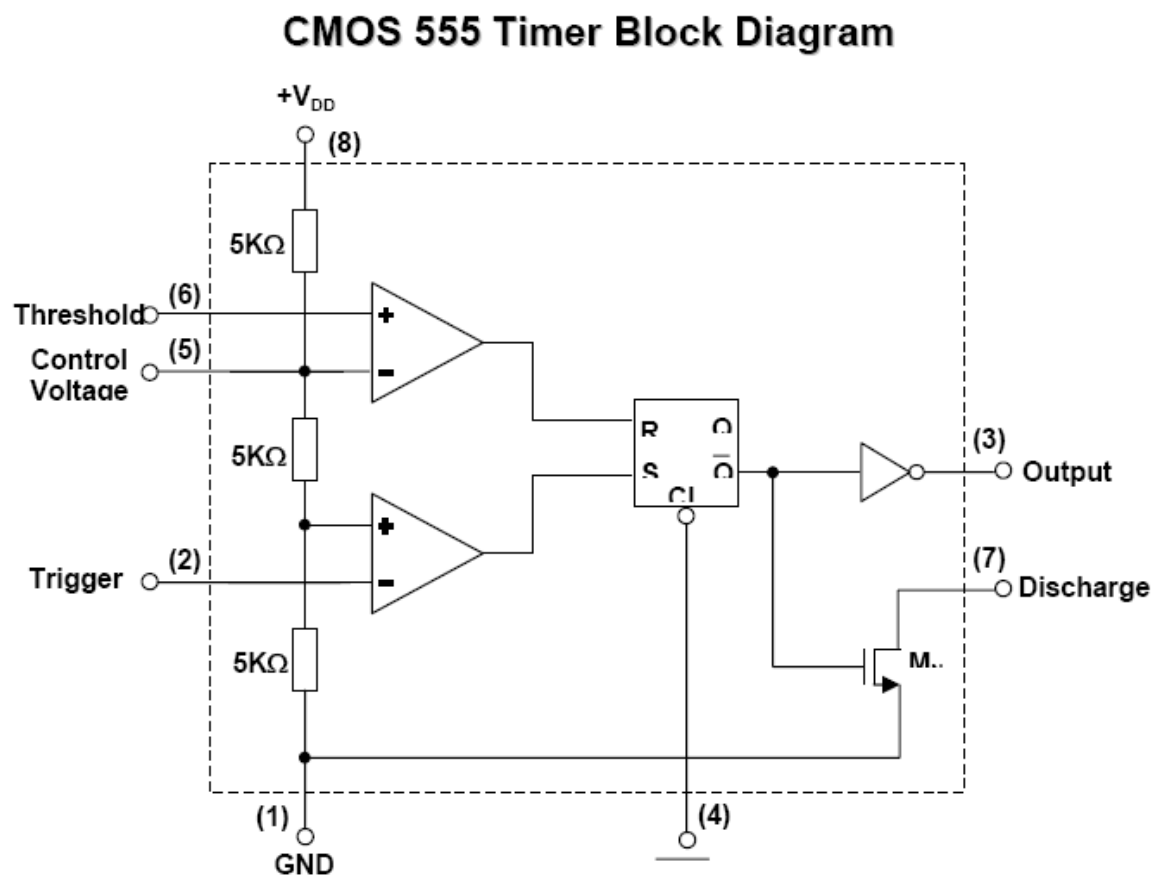
Ing. Arturo Arias

Objetivos

Diseñar un circuito multivibrador tipo Timer 555 basándose en los bloques básicos que se han venido desarrollando. Aplicar las diferentes técnicas de layout mostradas en clase, para la creación de un layout de un circuito de modo mixto.

Diagrama de bloques base

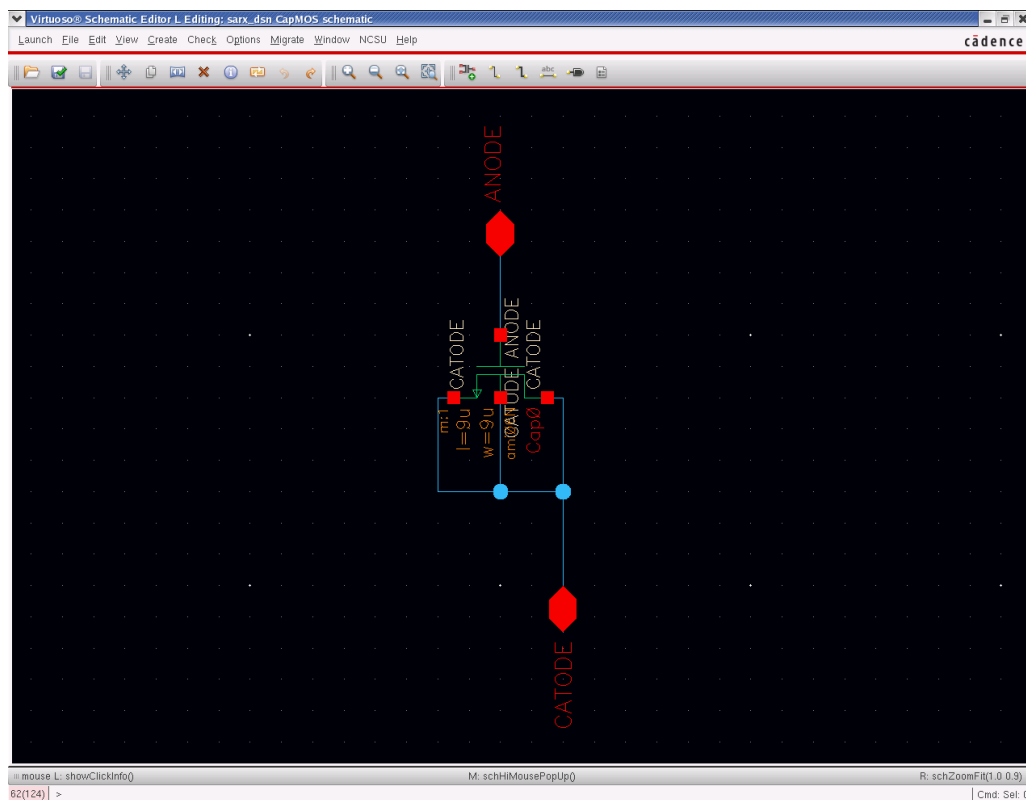
La siguiente figura muestra el diagrama de bloques del Timer 555 a ser implementado:



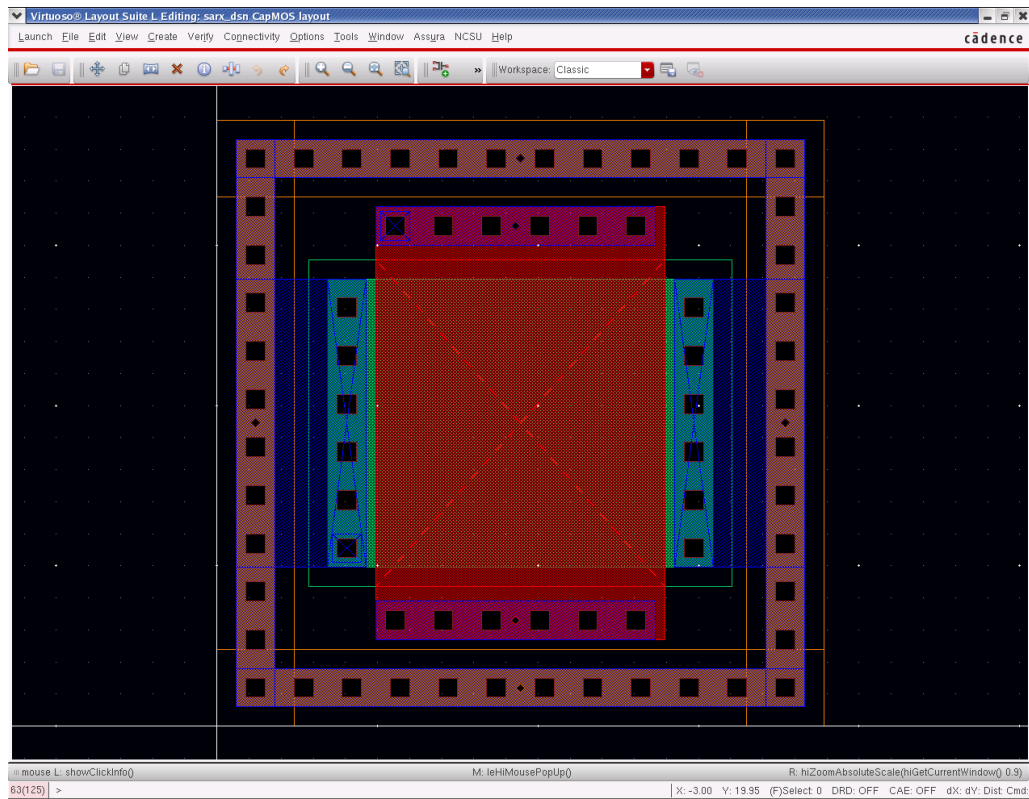
Desarrollo

A grandes rasgos el diseño de los bloques fue el siguiente:

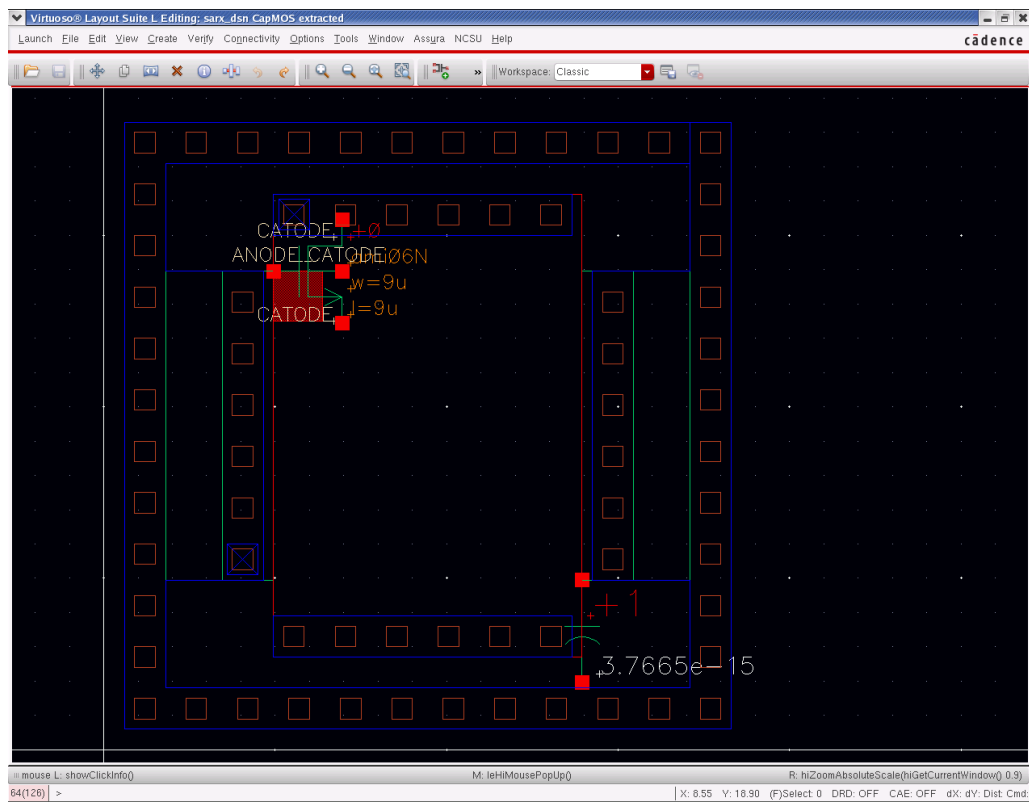
Para el capacitor se implementó uno de tipo MOS, tomando en cuenta que la capacitancia por unidad de área es aproximadamente $2.55\text{fF}/\mu\text{m}^2$. De tal manera que para conseguir un capacitor cercano a los 200fF , las dimensiones finales del capacitor MOS resultaron de $W=L=9\mu\text{m}$.



Esquemático de capacitor MOS.



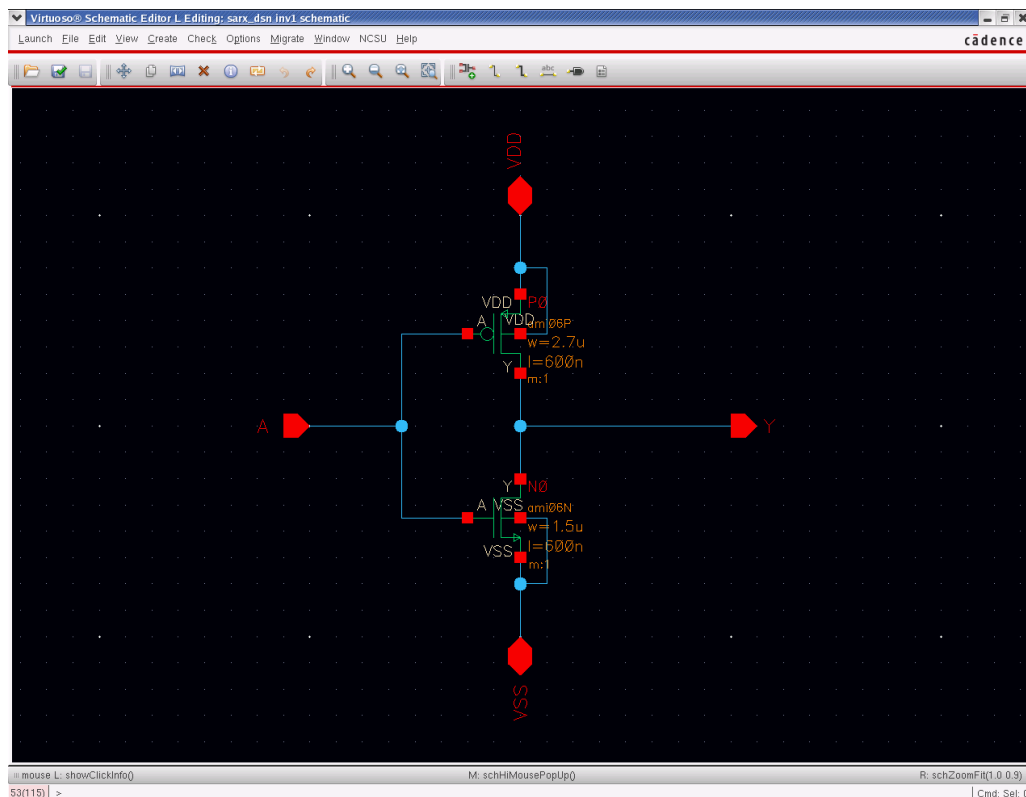
Layout del capacitor MOS.



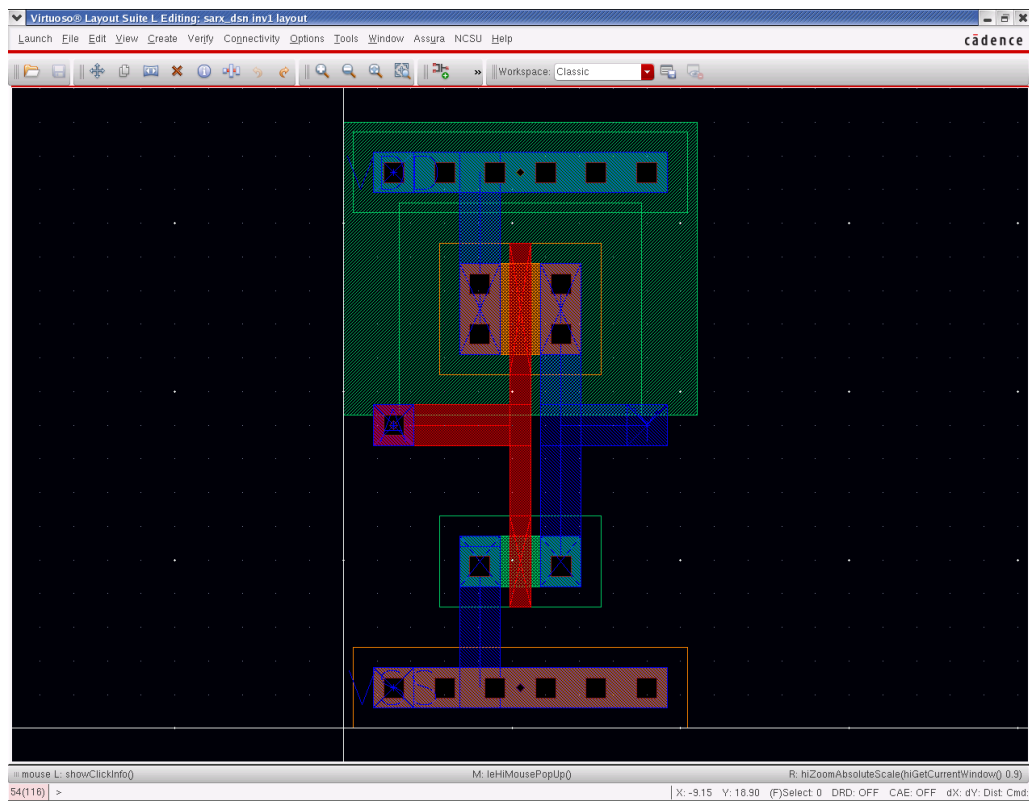
Vista de extraída del capacitor MOS.

El inversor, para lograr el punto de cruce más cercano a 1.5V ($V_{DD}/2$) las dimensiones resultaron de la forma siguiente:

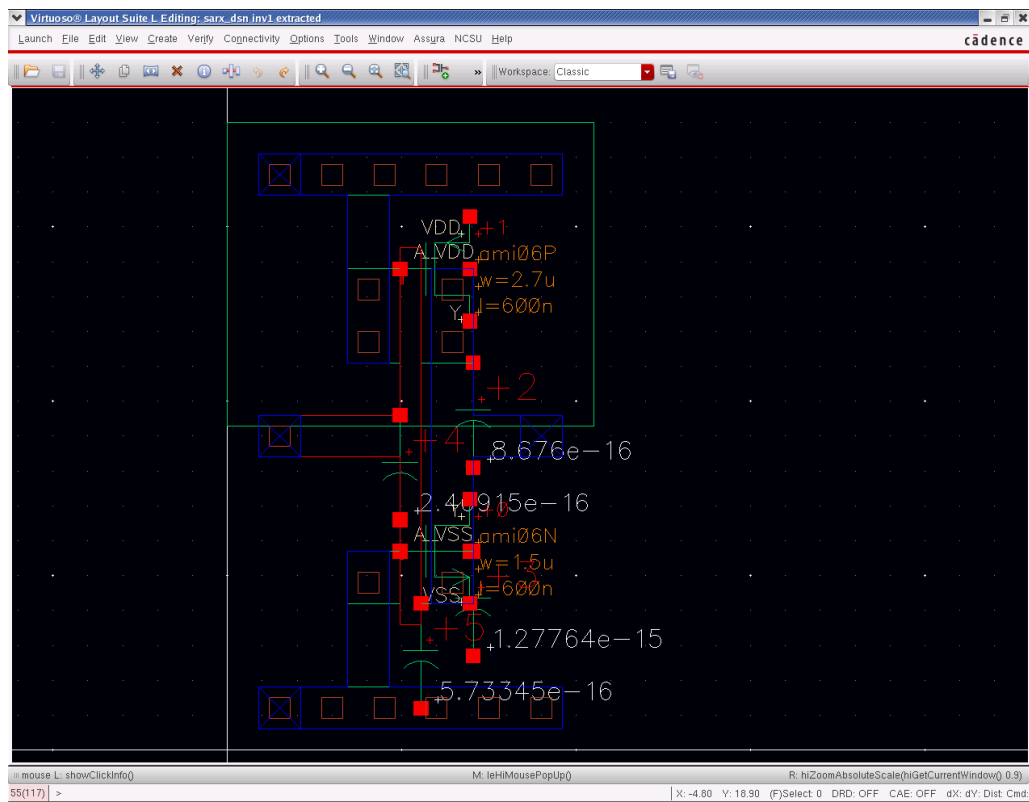
	PMOS	NMOS
W	2.7 μm	1.5 μm
L	0.6 μm	0.6 μm



Esquemático del inversor.



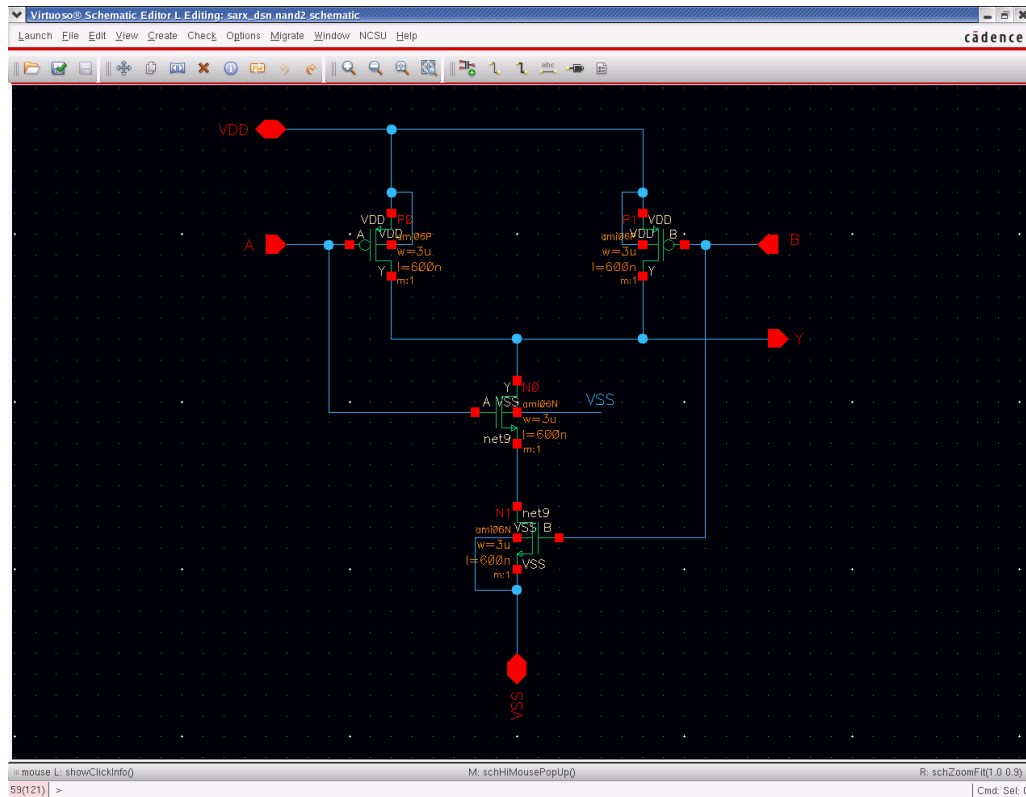
Layout del inductor.



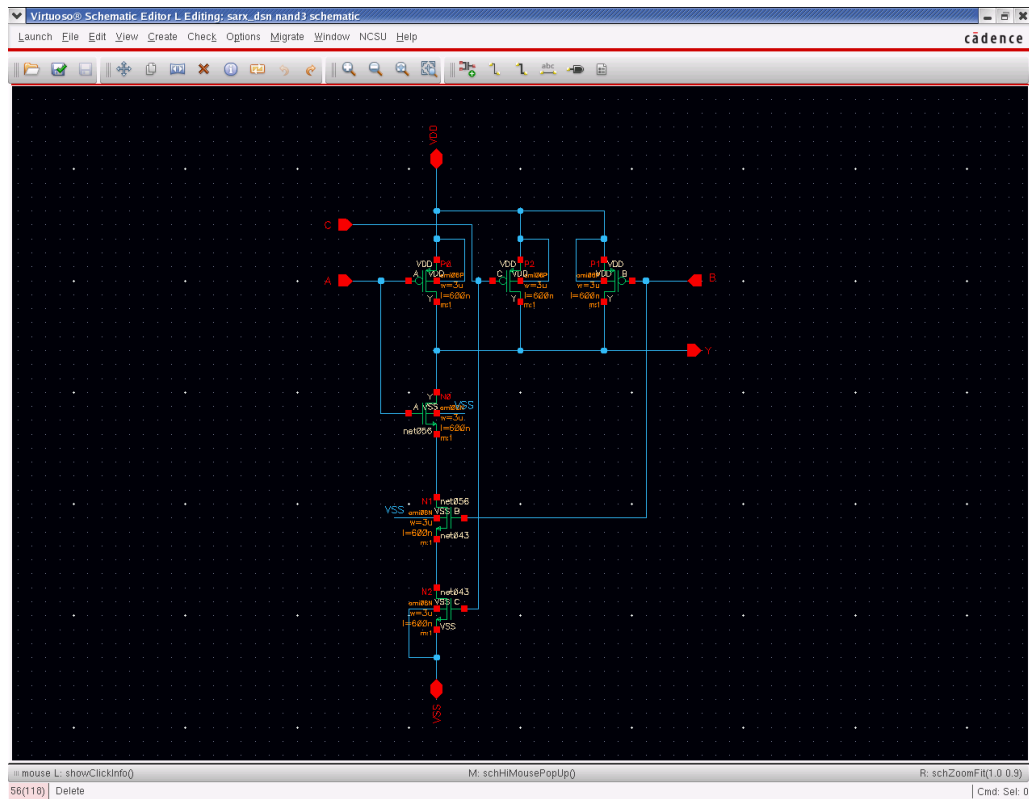
Vista extraída del inductor.

Para el circuito Latch se desarrollaron 2 compuertas NAND de 2 y 3 entradas (NAND2 & NAND3), con transistores dimensionados como se muestra en la siguiente tabla:

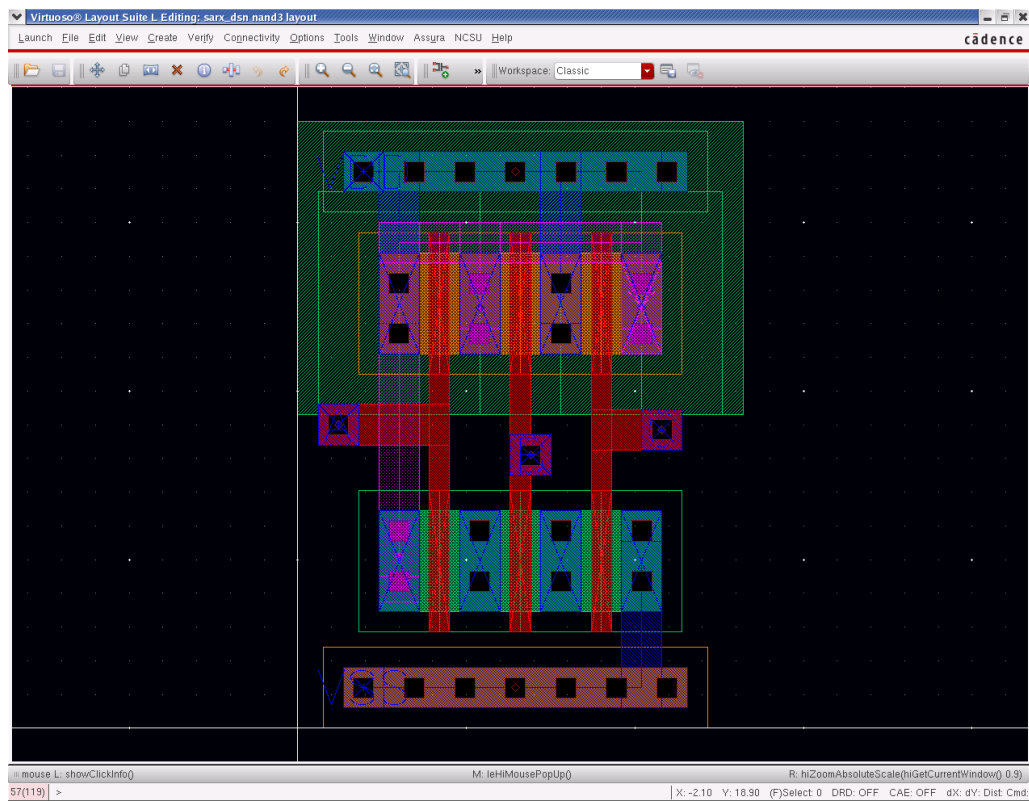
	NMOS	PMOS
W	3 μm	3 μm
L	0.6 μm	0.6 μm



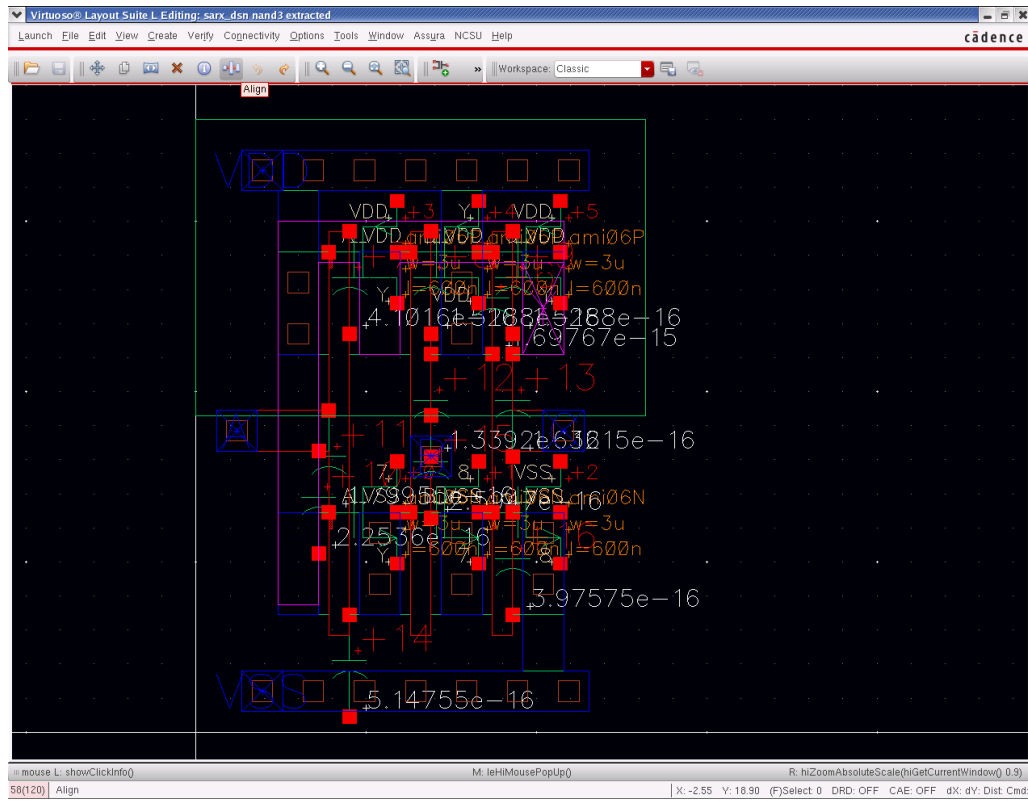
Esquemático para compuerta NAND2.



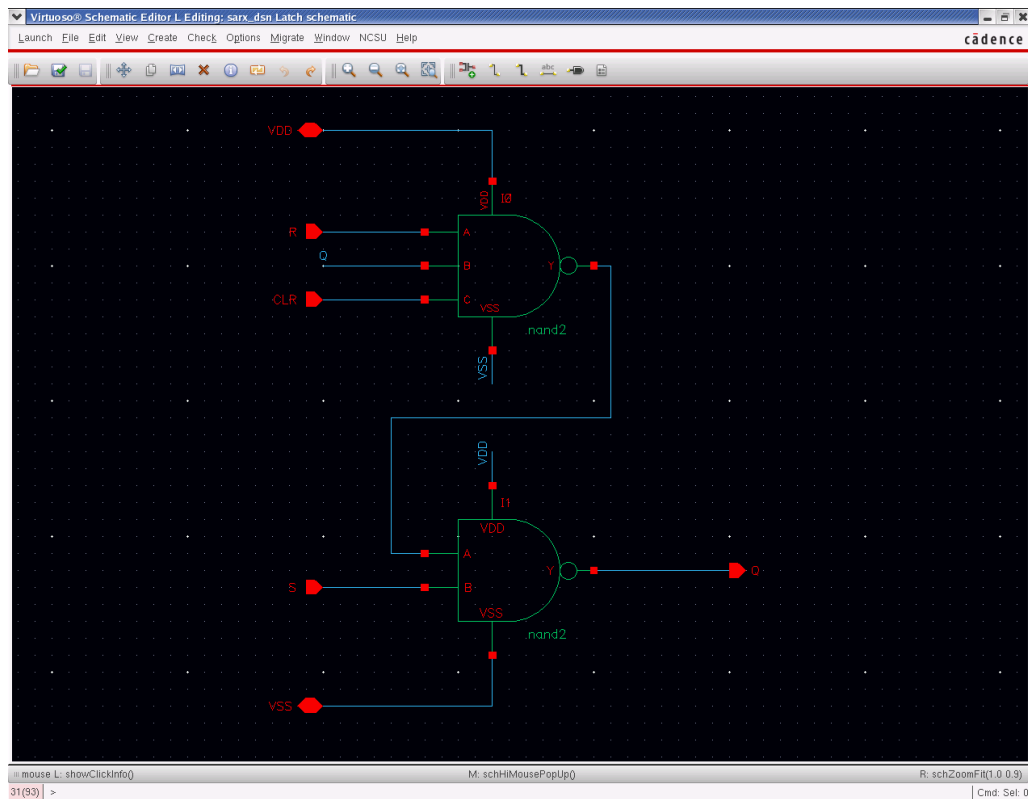
Esquemático para compuerta NAND3.



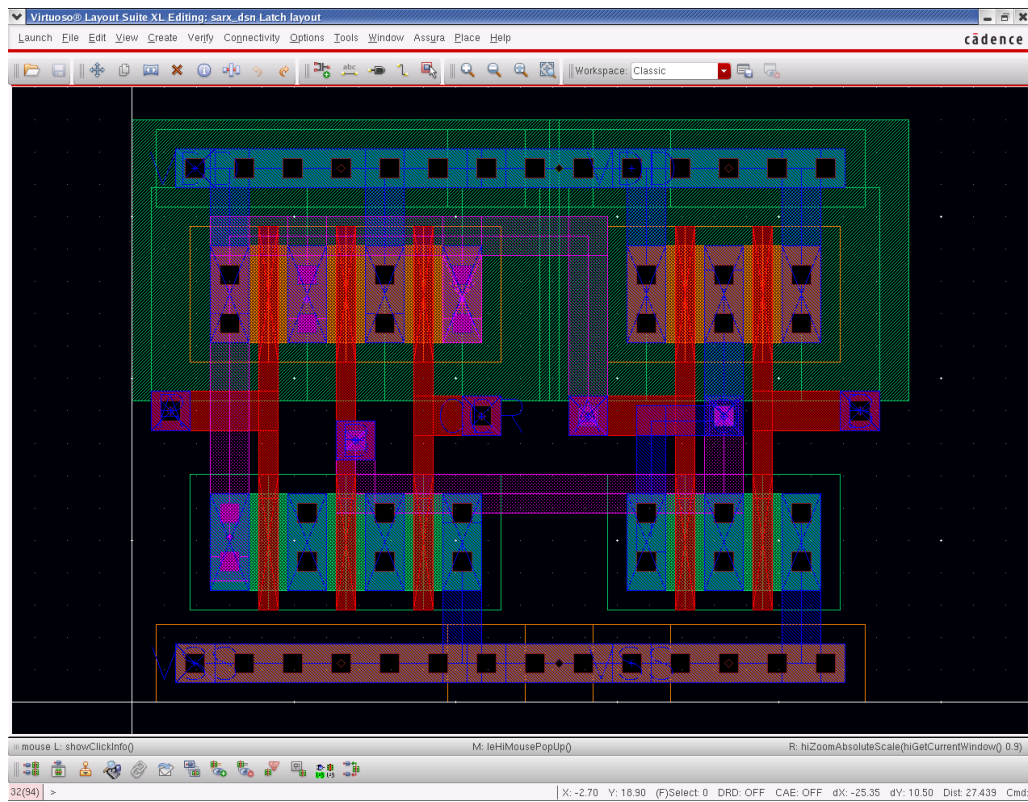
Layout de compuerta NAND3.



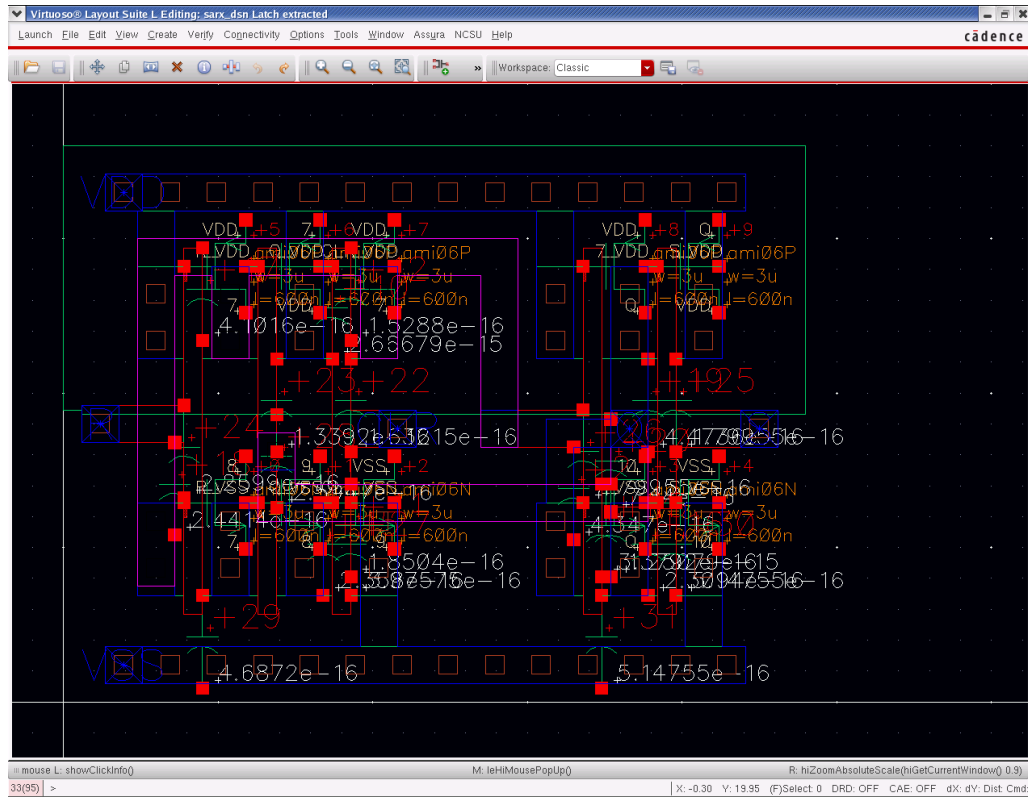
Vista extraída de compuerta NAND3.



Esquemático de bloque Latch.



Layout de bloque Latch.

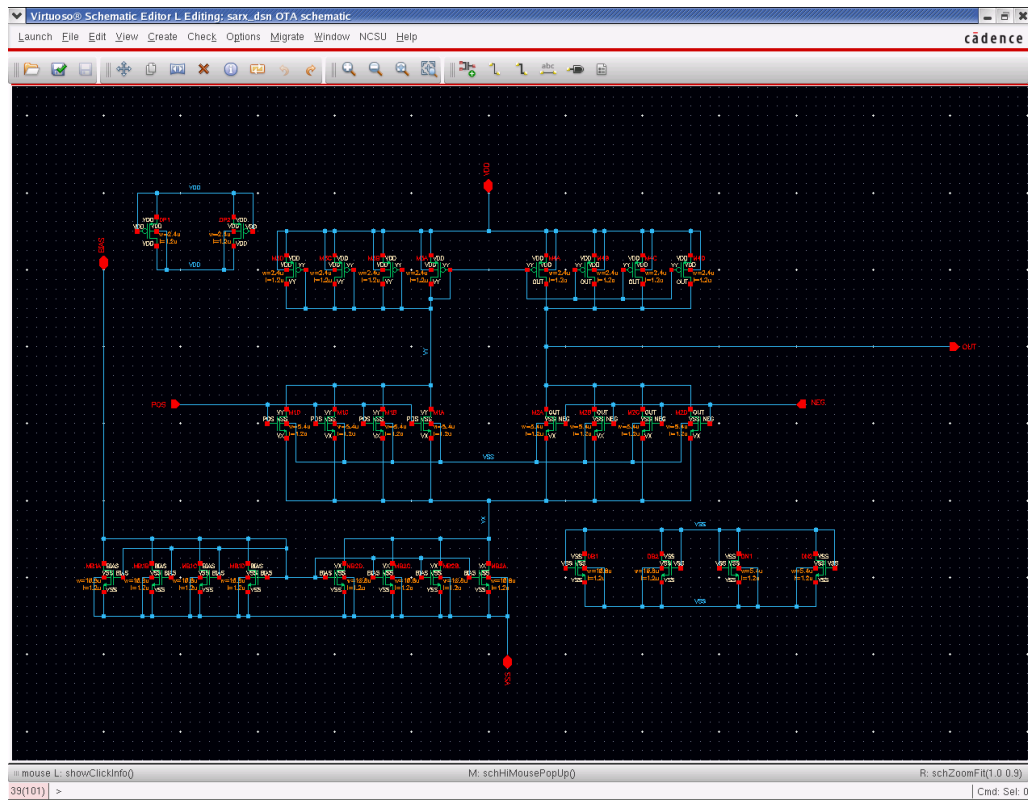


Vista extraída de bloque Latch.

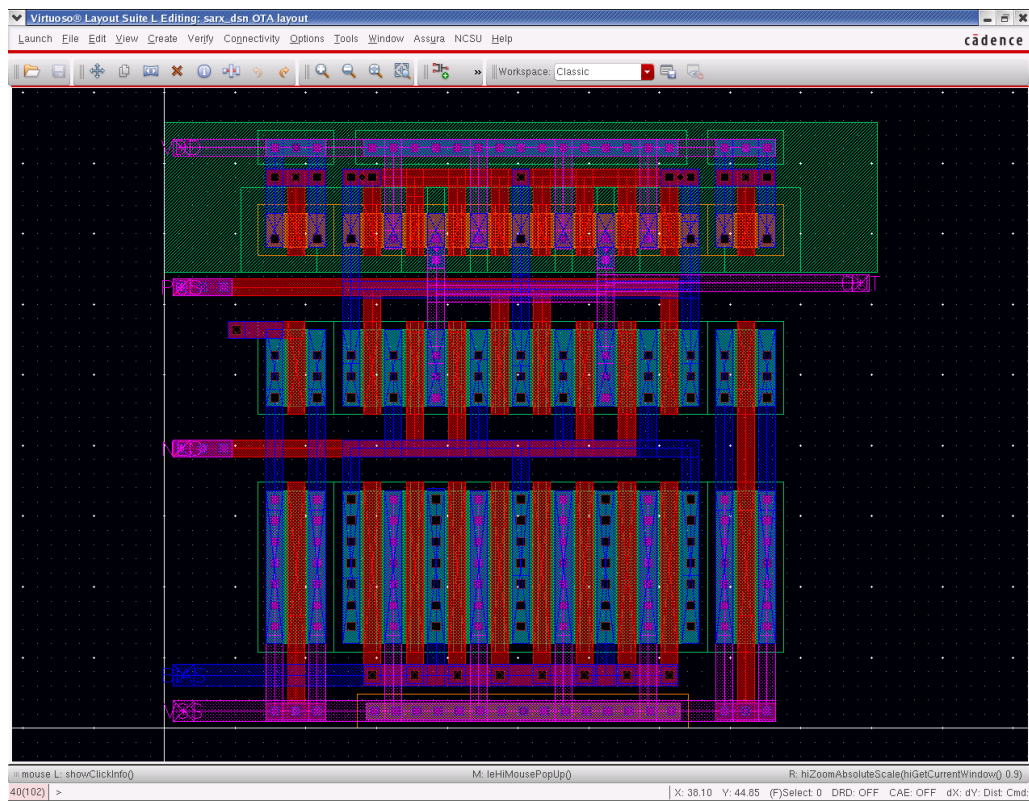
El comparador se compone de un OTA simple y 2 inversores, además el capacitor MOS se utiliza como carga del OTA. El dimensionamiento de los transistores del OTA resultaron de la manera siguiente:

	W	L
M1 (NMOS)	21.6 μm	1.2 μm
M2 (NMOS)	21.6 μm	1.2 μm
M3 (PMOS)	9.6 μm	1.2 μm
M4 (PMOS)	9.6 μm	1.2 μm
MB1 (NMOS)	43.2 μm	1.2 μm
MB2 (NMOS)	43.2 μm	1.2 μm

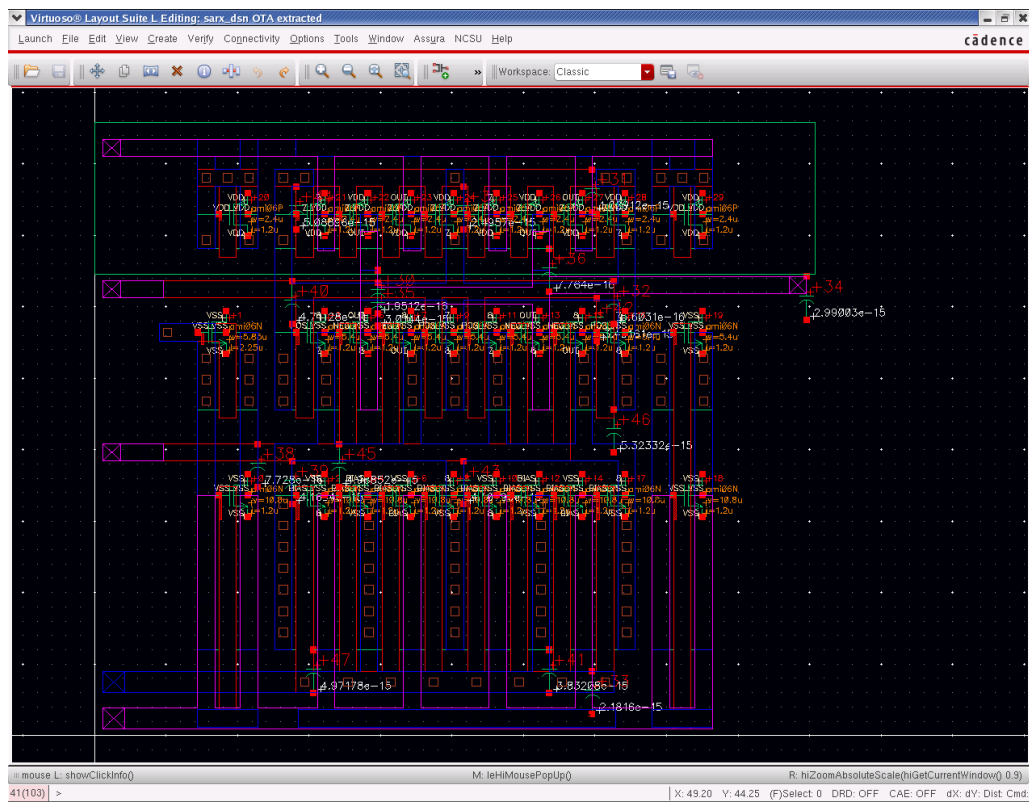
Hay que notar el dato que los transistores fueron divididos por 4 para realizar un buen *match* de todos ellos, además que se incluyeron 4 transistores *dummy*, 2 para los transistores tipo P y 4 para los transistores tipo N, igualando las dimensiones de los 2 tipos. El capacitor de carga se quitó de este bloque para agregarse de manera externa en la ruta del comparador.



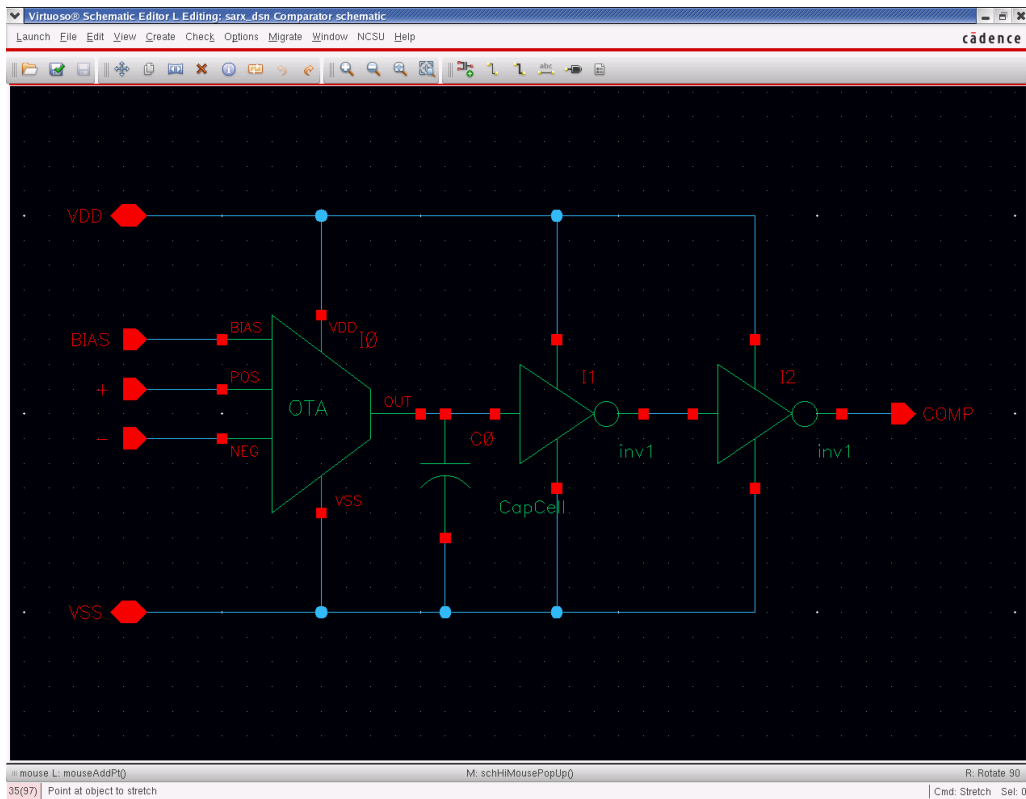
Esquemático de OTA simple.



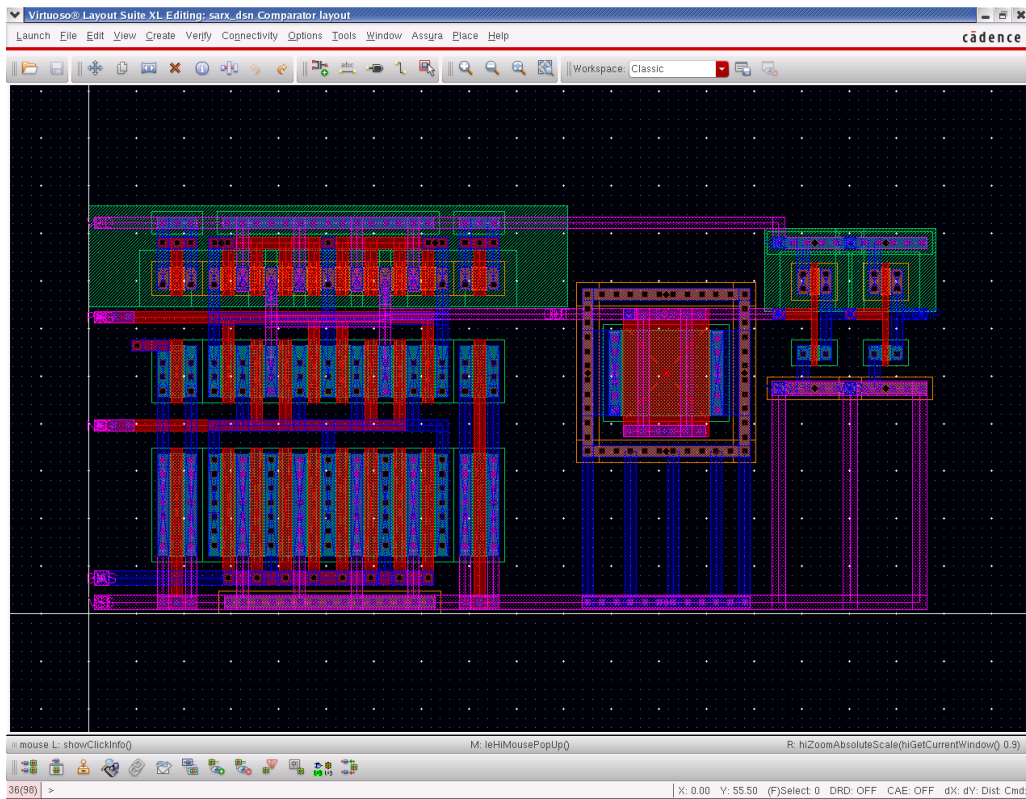
Layout de OTA simple.



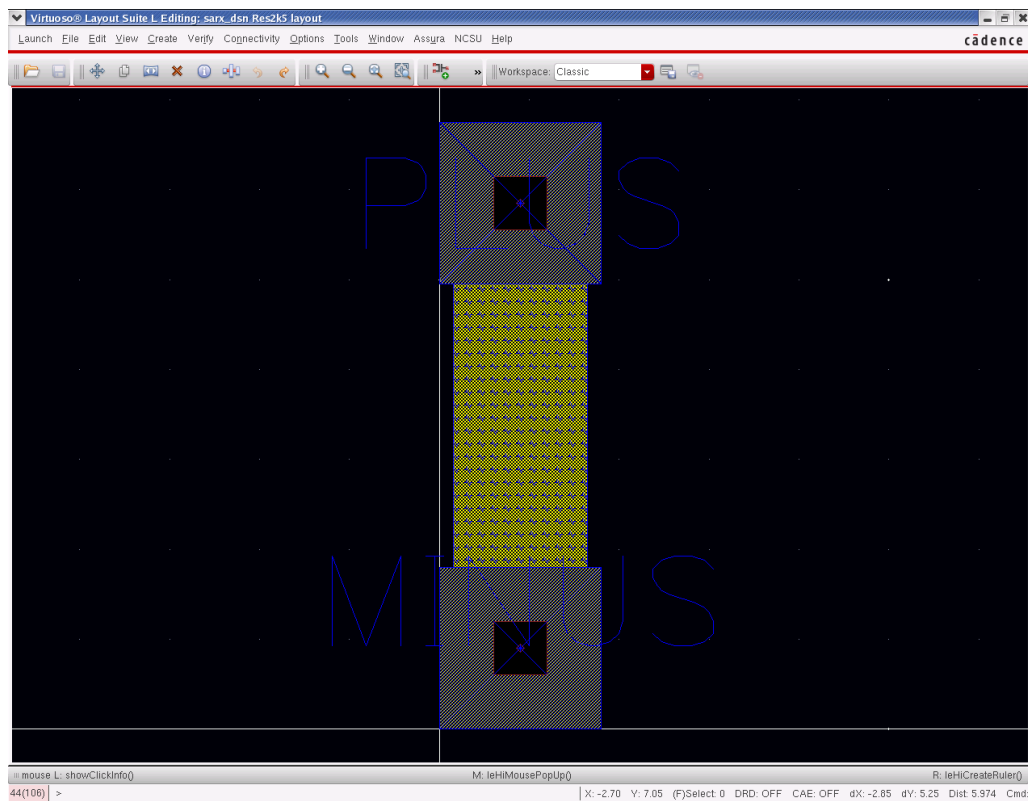
Vista extraída de OTA Simple.



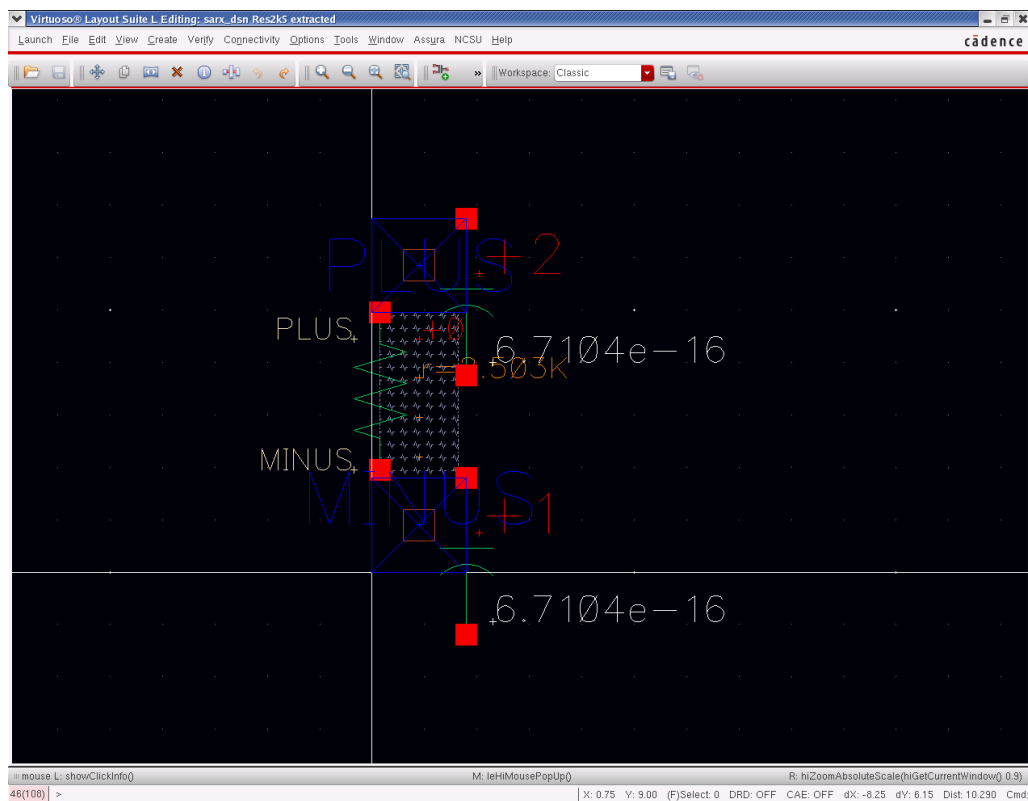
Esquemático de comparador. OTA+CapMOS+2 Inversores.



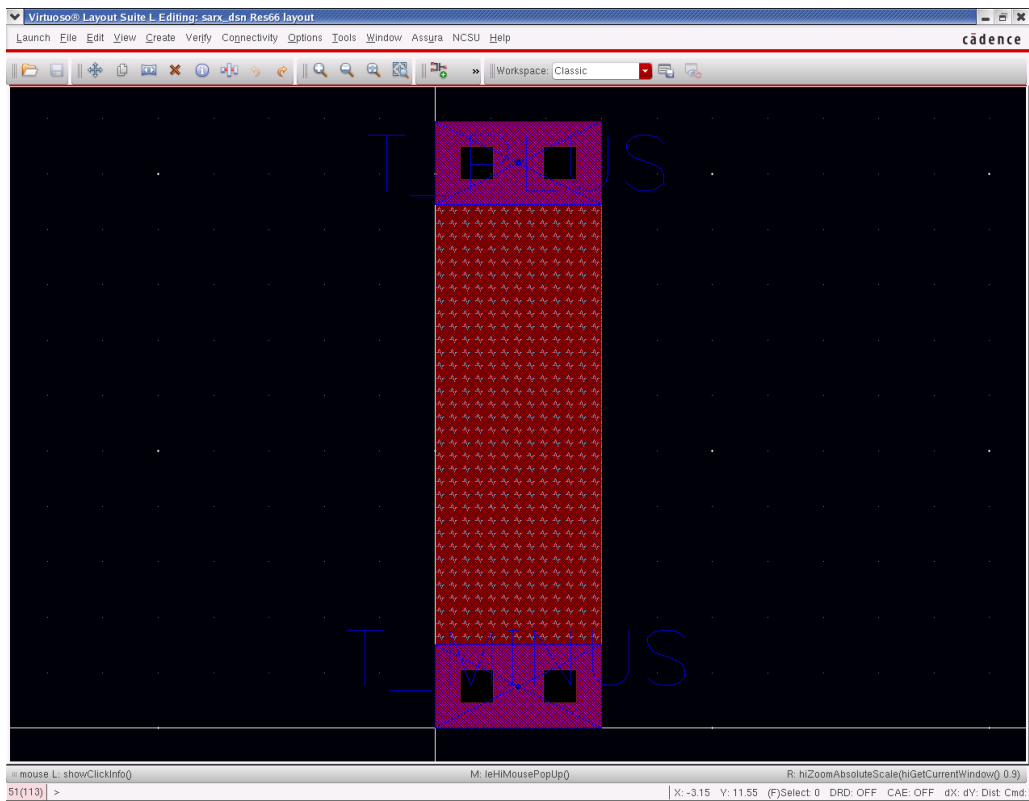
Para los resistores se utilizaron 3 celdas básicas, 2 con *layer* de *poly2* o *elec* y una capa de *highres*. Estas dos resistencias tenían valores de 2.503k Ω & 11.92k Ω . La primera se utilizó para realizar un divisor de voltaje conectado a las terminales de los comparadores, tal como se muestra en el bloque base proporcionado. El segundo resistor de mayor valor se utilizó para lograr la corriente de polarización a partir del voltaje de alimentación V_{DD} . Teniendo que la resistencia total para lograr los 62.8 μ A requería una resistencia aproximada de 47.75k Ω . Para aproximarse a ese valor se requirió de una tercer resistencia hecha con poly de aproximadamente 66 Ω .



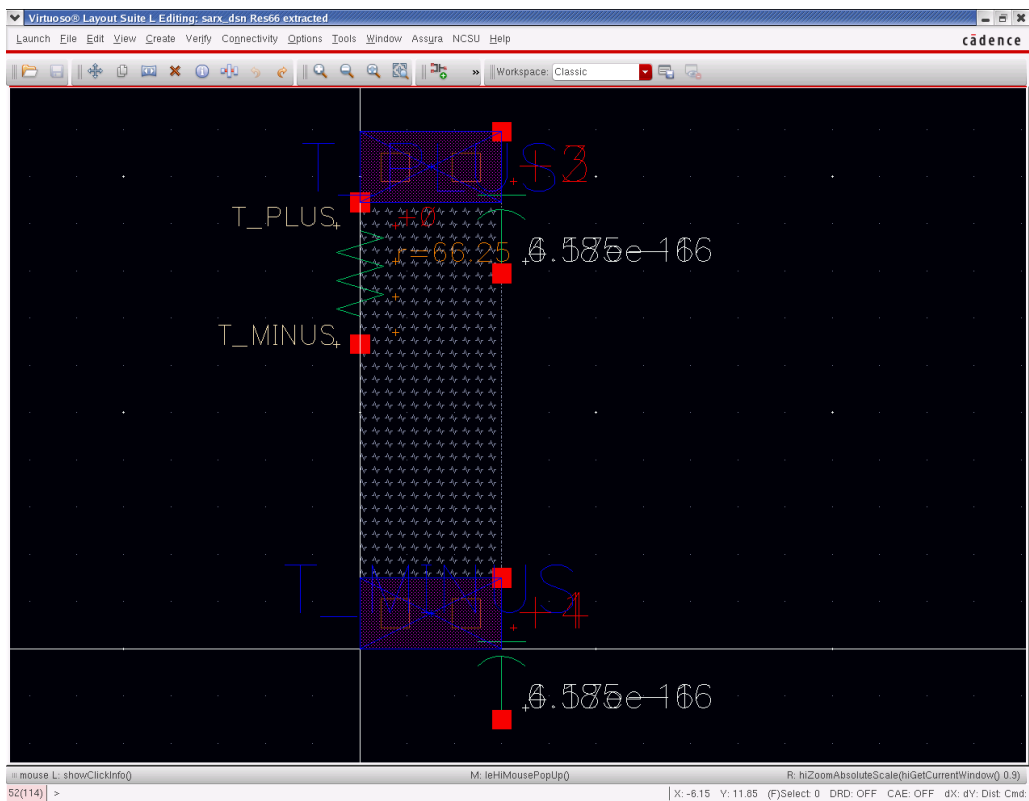
Layout de resistor de 2.503kΩ.



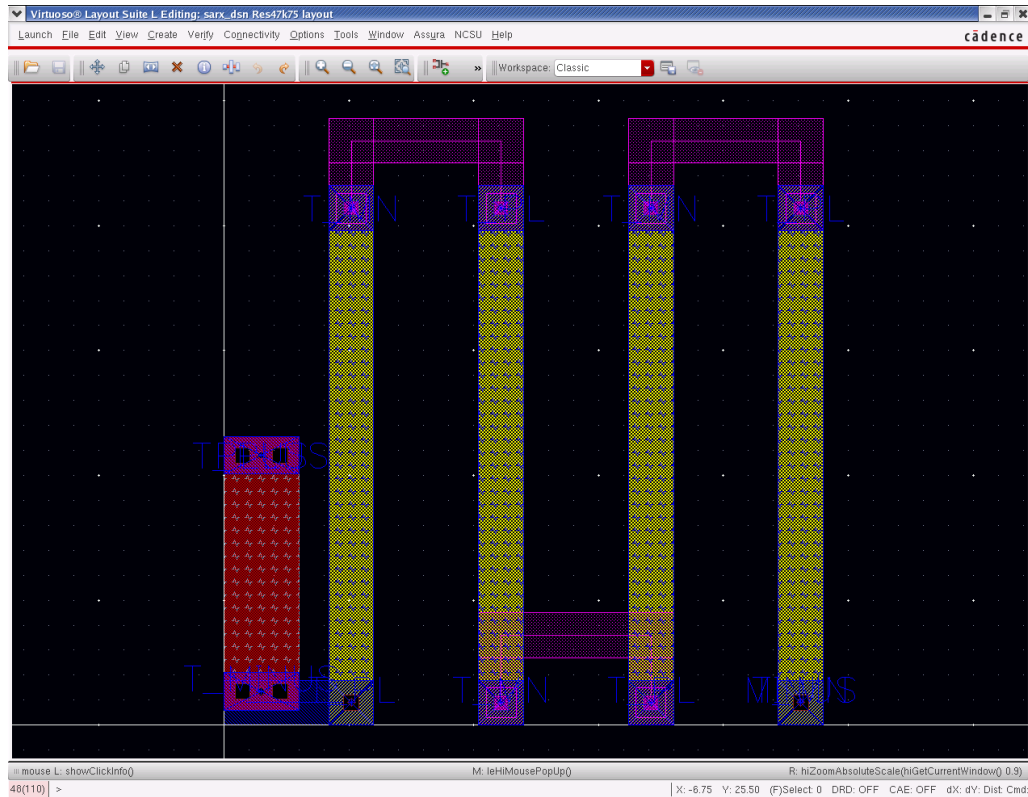
Vista extraída de resistor 2.503k Ω .



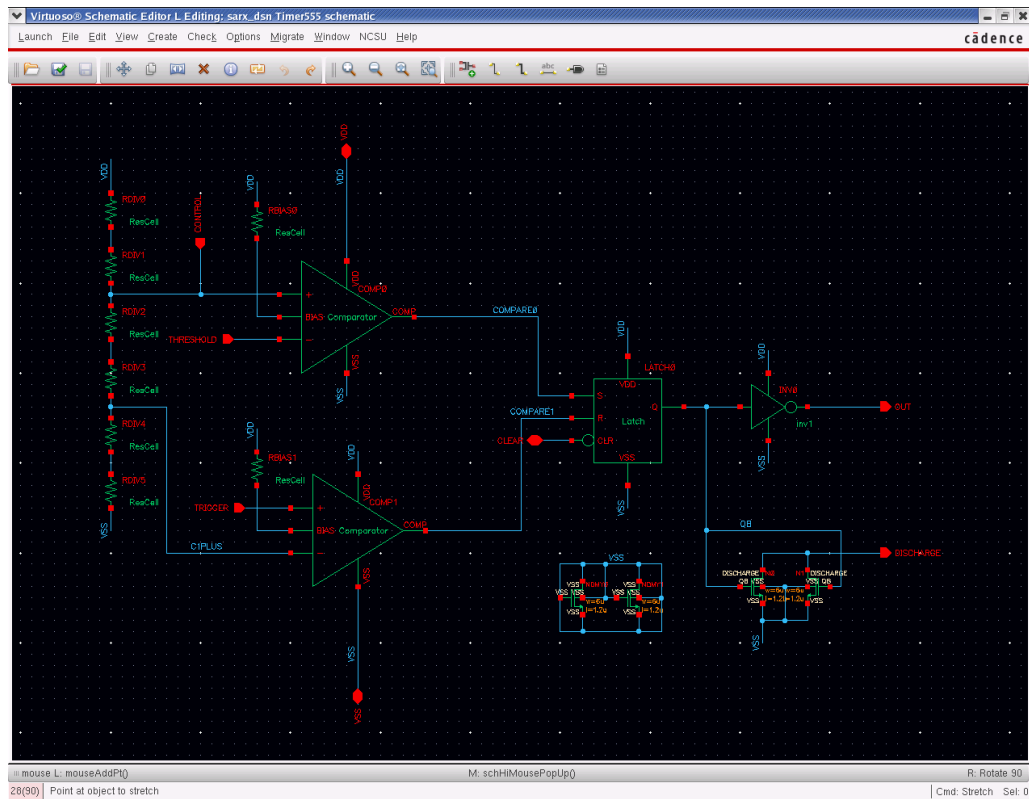
Resistor de *poly1* de 66.25 Ω .



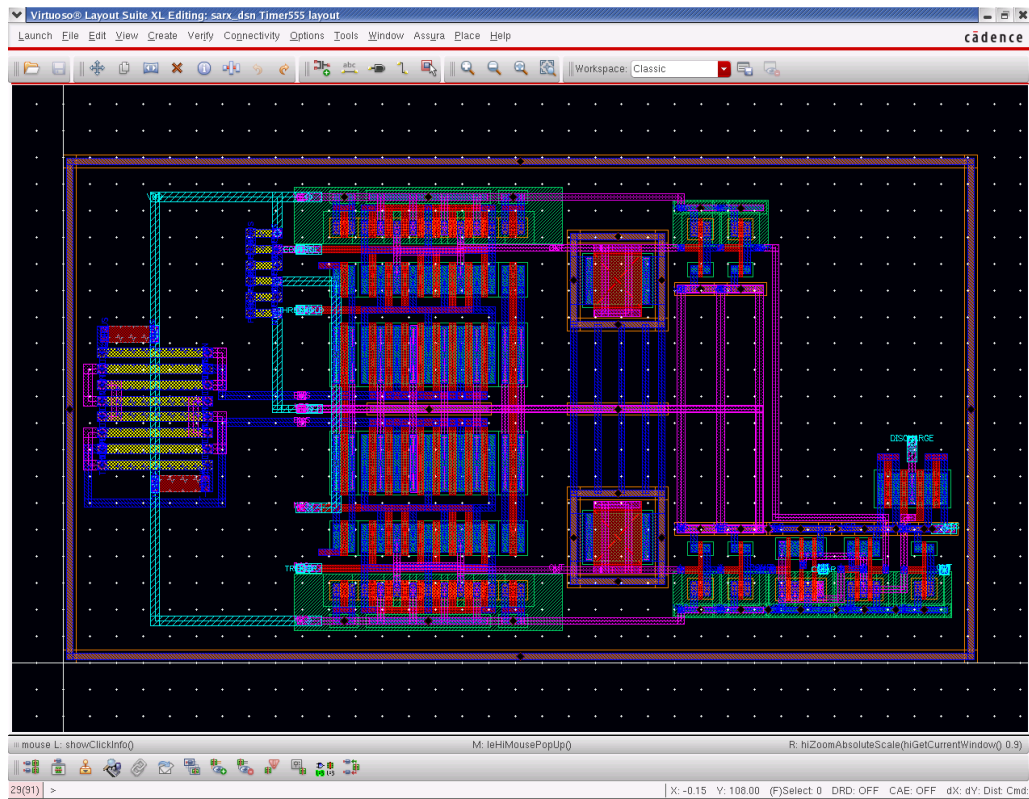
Layout de resistor de *poly1*.



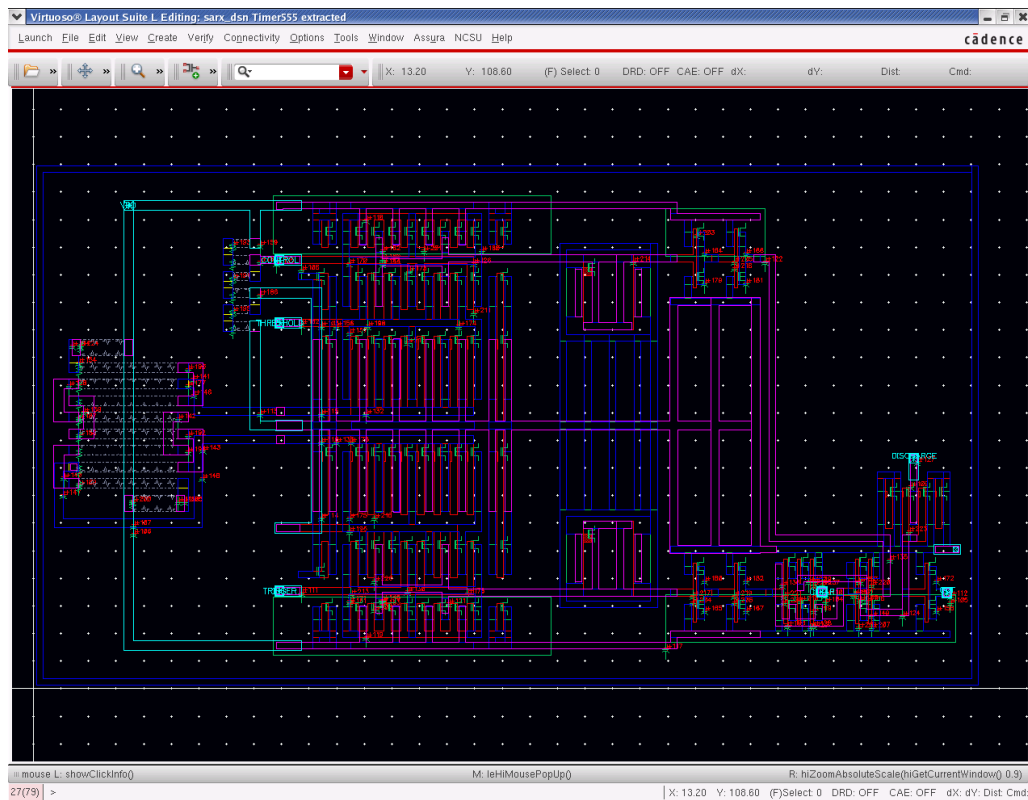
Arreglo de resistencias para corriente de polarización. Resistencia total de $47.75k \Omega$.



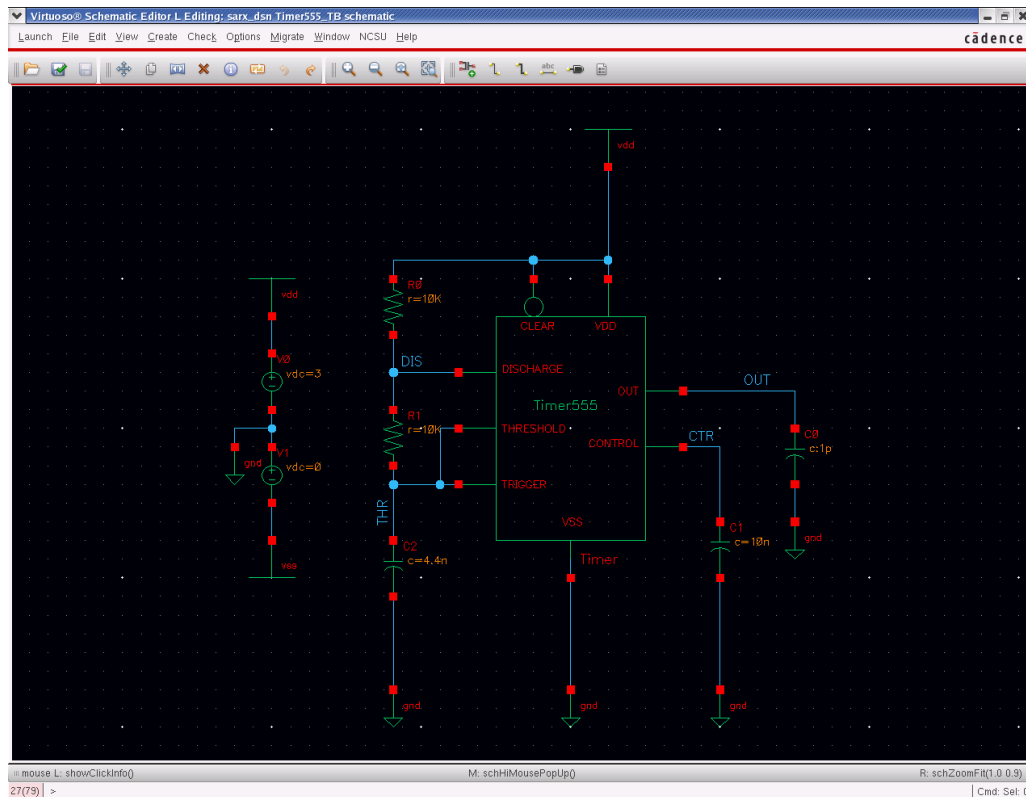
Esquemático del Timer 555.



Layout de Timer 555.



Vista extraída de Timer 555.



Testbench para Timer 555.

Para lograr que el timer oscile a 10kHz se utilizaron los siguientes valores de $R1=R2=10k$ y $C2=4.4nF$. Nótese en las imágenes siguientes que el valor en cálculos para lograr la oscilación es de 4.8nF, y para 4.4 se alcanzarían cerca de 11kHz. Tomando esto como base se procedió a realizar la simulación Pre- & Post-Layout arrojando la gráfica final de tiempo.

555 Timer - Frequency and Duty Cycle Calculator

Enter values for R1, R2, and C and press the calculate button to solve for positive time interval (T1) and negative time interval (T2). For example, a 10K resistor (R1) and 100K (R2) and 0.1 uF capacitor will produce output time intervals of 7.62 mS positive (T1) and 6.93 mS negative (T2). The frequency will be about 70 Hz. R1 should be greater than 1K and C should be greater than .0005 uF. Scroll down page for basic 555 information (pinout and two basic circuits).

$$\text{Positive Time Interval (T1)} = 0.693 * (R1+R2) * C$$

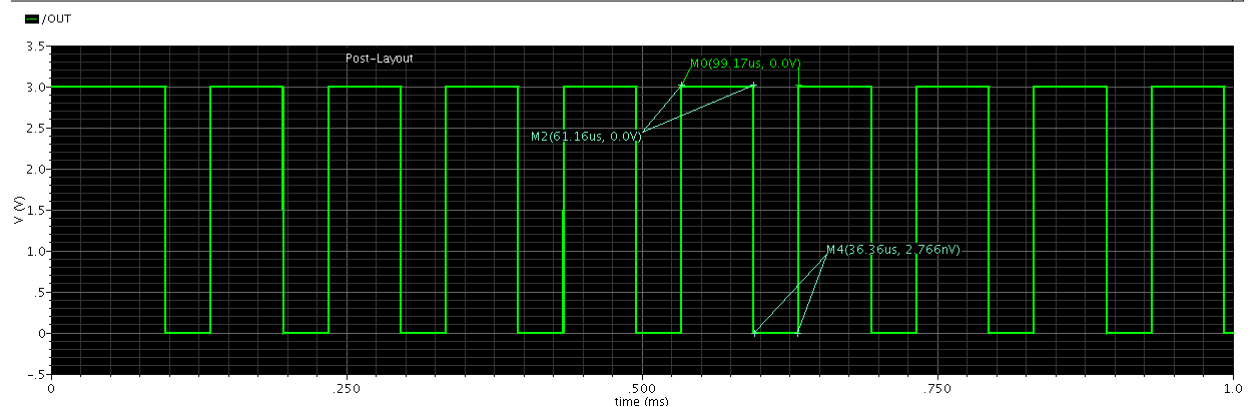
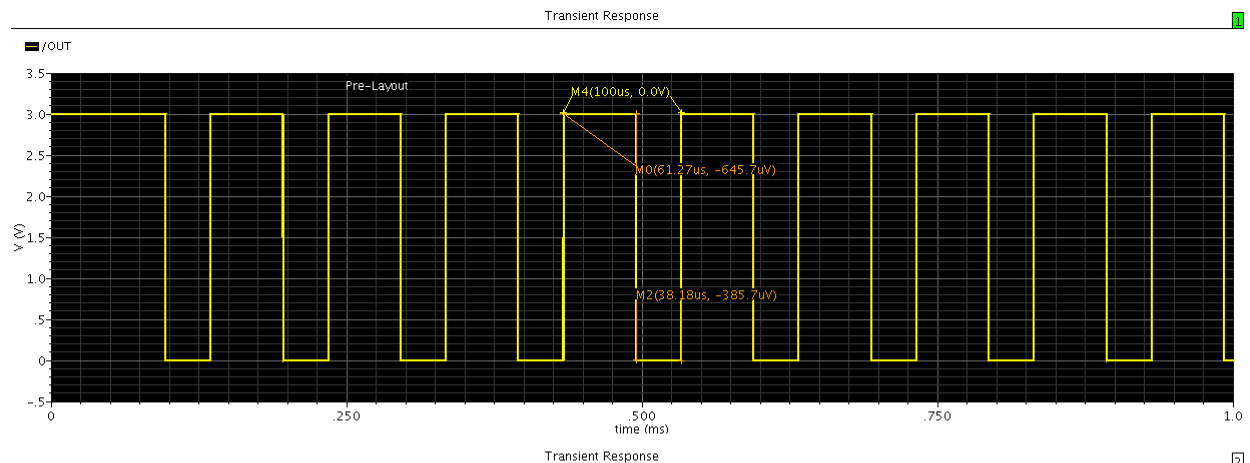
$$\text{Negative Time Interval (T2)} = 0.693 * R2 * C$$

$$\text{Frequency} = 1.44 / ((R1+R2+R2) * C)$$

Valores ideales			
R1 (K Ohms)	R2 (K Ohms)	C (Microfarads)	Calculate
10	10	0.0048	
T1 (Milliseconds)	T2 (Milliseconds)	Frequency (Kilohertz)	
0.06653	0.03326	10	Reset

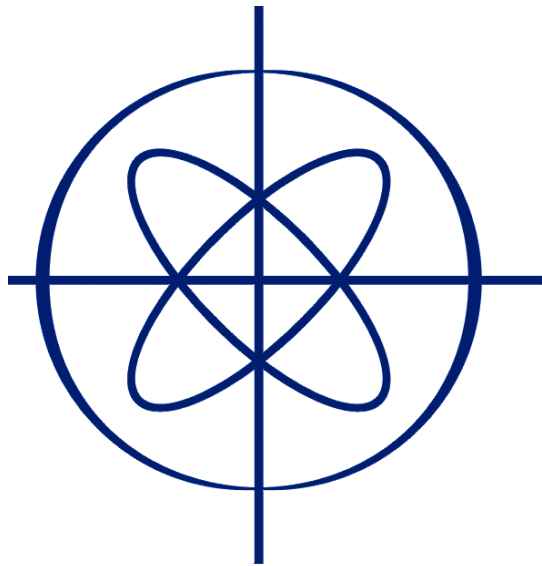
Valores adecuados para el diseño			
R1 (K Ohms)	R2 (K Ohms)	C (Microfarads)	Calculate
10	10	0.0044	
T1 (Milliseconds)	T2 (Milliseconds)	Frequency (Kilohertz)	
0.06098	0.03049	10.9090909	Reset

Calculos. Fuente: http://ourworld.compuserve.com/homepages/Bill_Bowden/555.htm



Respuesta final. Diferencia entre Pre- & Post-Layout de 83.7Hz.

B. RETURN LOSS IMPROVEMENT



ITESO

UNIVERSIDAD JESUITA
EN GUADALAJARA

Final Project – Return Loss Improvement

Ing. Alfredo Delgado

Ing. Arturo Arias

Introduction

The project analyses the situation of a high-speed data receiver embedded in an integrated circuit where the return loss in the worst case is around -4.7dB. The receiver is an AC-coupled 50Ω terminated circuit with an automatic calibration and variation of ±5% and the extraction of complex routing reports a typical capacitance of 890fF with ±20% variation due to process and temperature. The routing's complexity makes it quite difficult to reproduce it in a 3D solver tool, hence, the exercise is to determine the compensation which would improve the return loss in terms of the load capacitance. The operation frequency is 5.125GHz.

Development

The equivalent circuit of the application case is as follows:

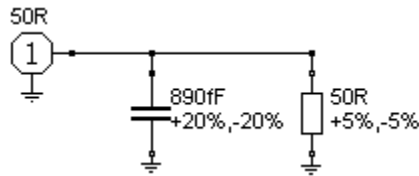


Image 1 – Equivalent circuit of the receiver's routing and termination.

The reactance of the capacitive element of 890fF is:

$$X_C = \frac{1}{2\pi f C} = \frac{1}{2\pi(5.125\text{GHz})(890\text{fF})} = -j34.893\Omega$$

Thus, the reactance to be compensated (matched) shall be complex conjugate of the network impedance with a positive reactance being $X_L = j34.893\Omega$

$$L = \frac{X_L}{2\pi f} = \frac{34.893}{2\pi(5.125\text{GHz})} = 1.084\text{nH}$$

Knowing this value, the circuit is simulated using RFSim99 to plot the Smith Chart characteristic of the compensated circuit and the variation in the frequency domain. The plots are as follows:

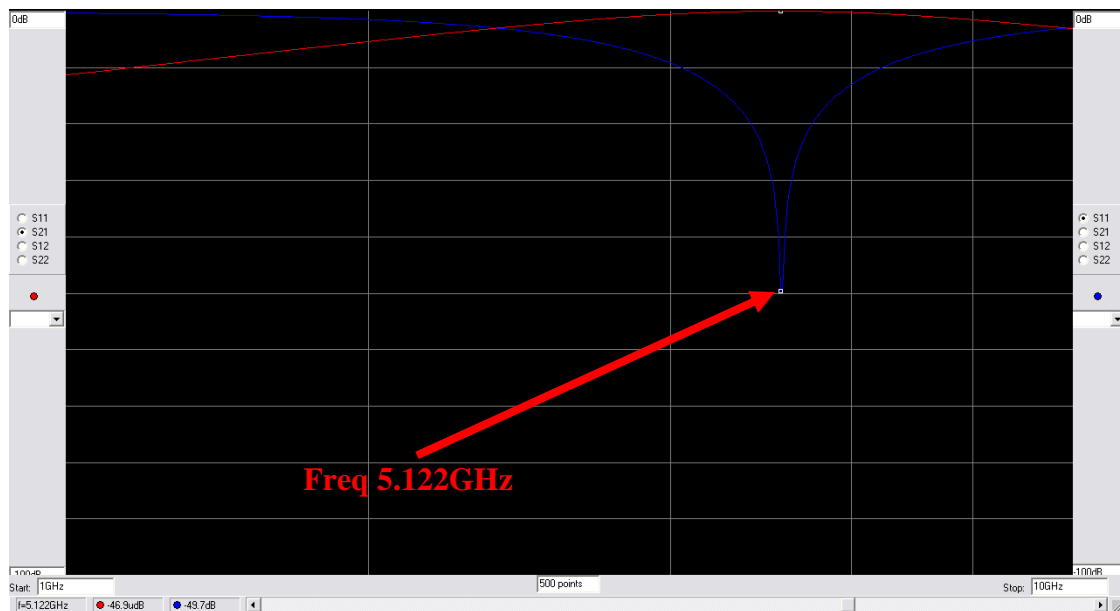


Image 2 – Transfer curve for typical values of L & C

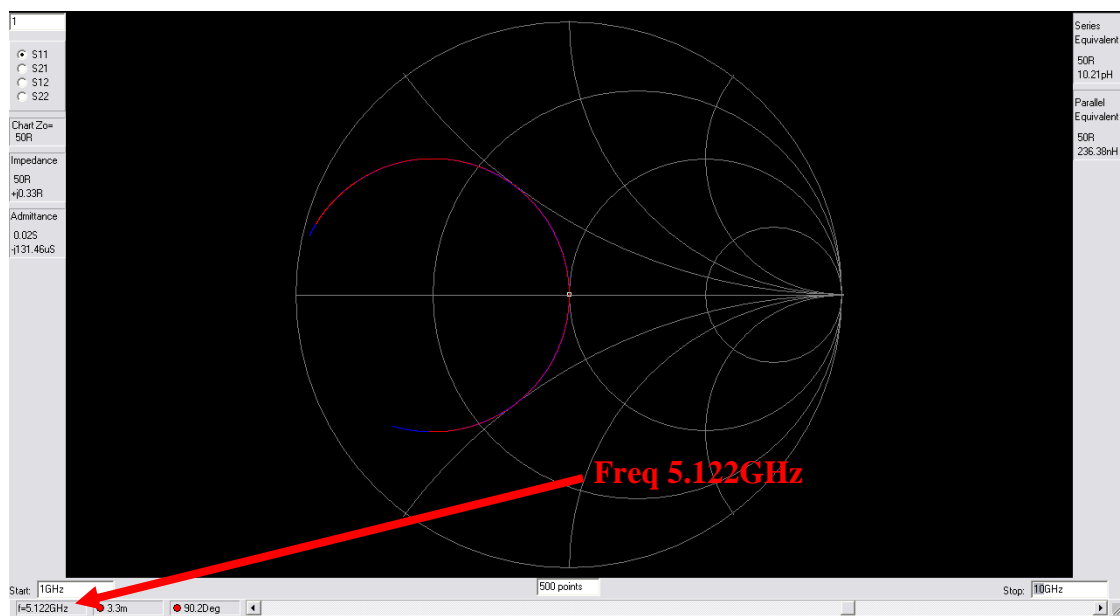


Image 3 – Smith chart plot of the matched circuit. Note that quite near to the operating frequency of 5.125GHz the reactance section is almost zero.

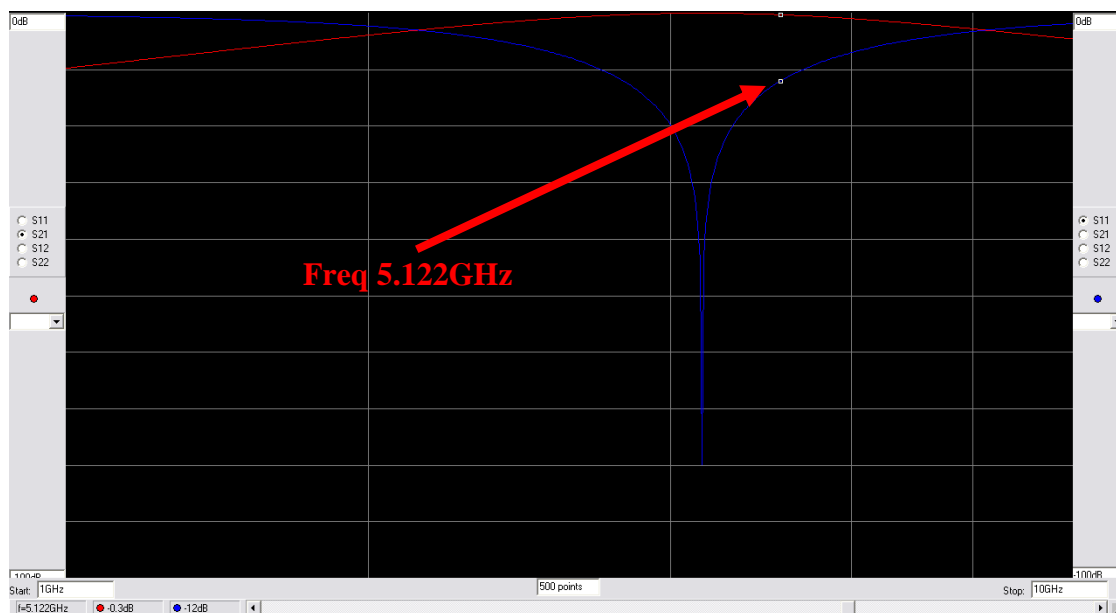


Image 4 – Transfer curve for high values of L & C.

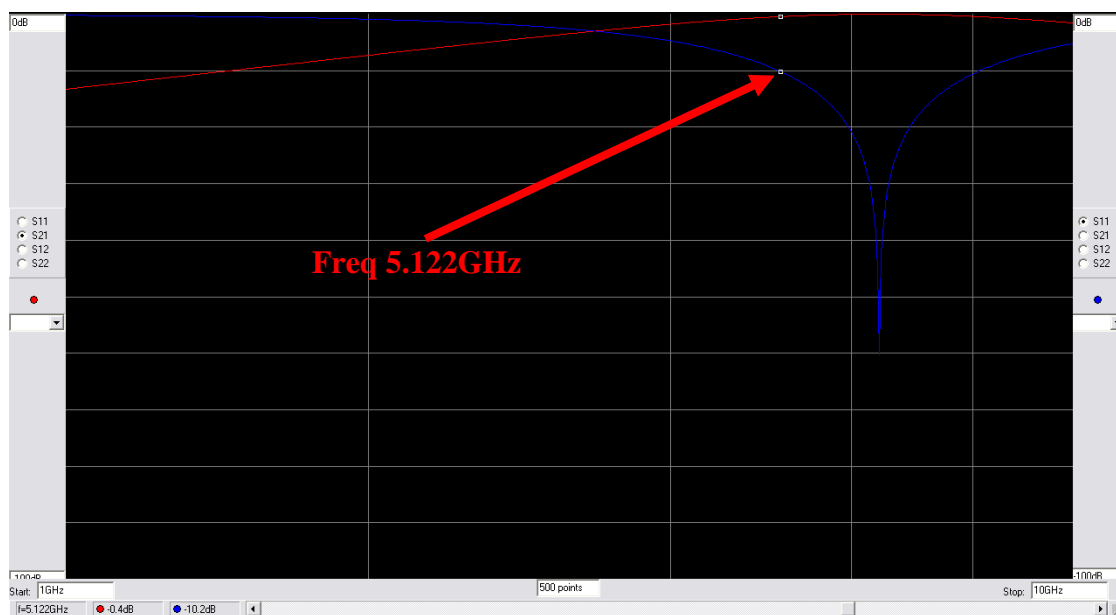


Image 5 – Transfer curve for low values of L & C.

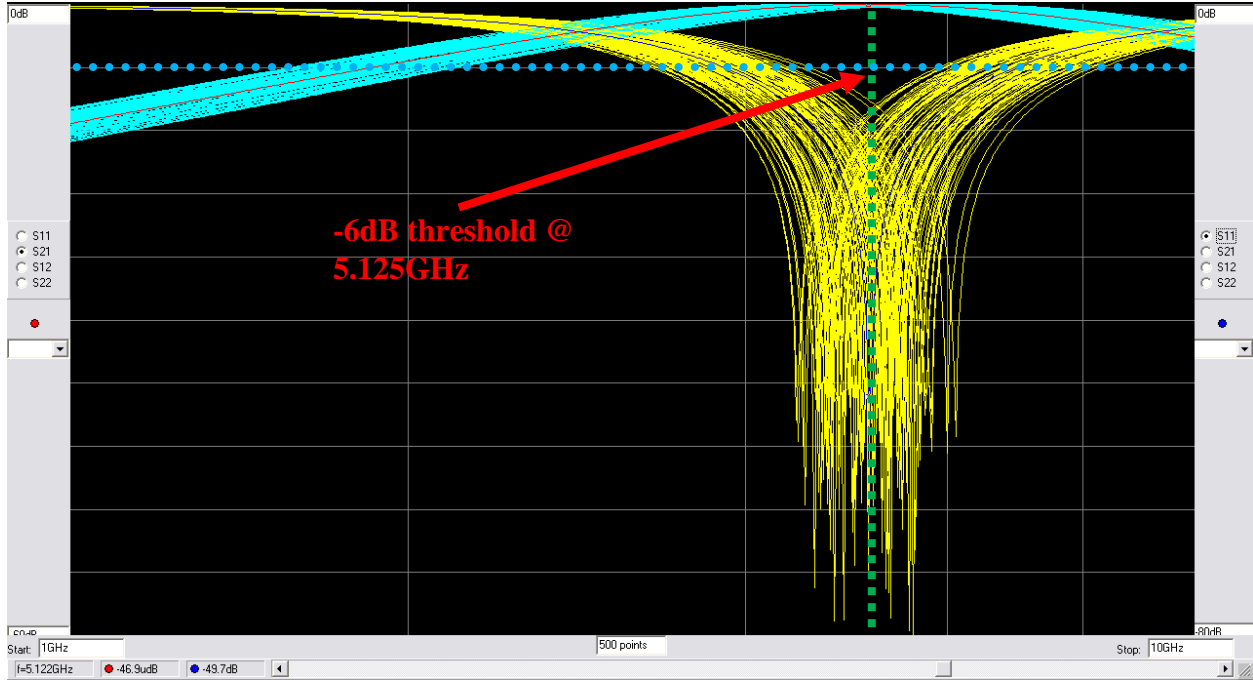


Image 6 – Transfer curve after Montecarlo variation of $\pm 20\%$ of L & C. It's possible to note the minimum S11 attenuation is below -6dB.

The inductance shall be made up by means of a short-circuit microstrip line. The calculation is as follows: Knowing the inductance and reactance values required to compensate the capacitive effect of the integrated routing and the fact that the metal height to be used is fixed to $32\mu\text{m}$, the relative permittivity of silicon dioxide is 4, the width of the transmission line shall be $72\mu\text{m}$ to achieve the impedance of 50Ω . It was decided to use an intermediate metal layer because at higher levels the transmission line would be wider, and at lower levels of metal, the parasitic coupling is higher and the space is used mostly by the local routing of the integrated blocks.

Using the previous information, the calculation of the effective permittivity is

$$\epsilon_e = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2\sqrt{1 + (10 H/W)}} = \frac{4 + 1}{2} + \frac{4 - 1}{2\sqrt{1 + (10 (36\mu\text{m})/72\mu\text{m})}} = 3.1124$$

Hence, the propagation velocity is

$$v_p = \frac{c}{\sqrt{\epsilon_e}} = \frac{3e^8}{\sqrt{3.1124}} = 1.7e^8$$

Thus, the imaginary component of the propagation constant is

$$\beta = \frac{\omega}{v_p} = \frac{2\pi * 5.125e^9}{172.006e^6} = 1.894$$

Given the equation for impedance at the length l of the short-circuit transmission line

$$Z_{in} = jZ_0 \tan(\beta l)$$

The length of the TL which has a response of an inductor of 1.084nH is

$$l = \frac{\tan^{-1} \frac{Z_{in}}{Z_0}}{\beta} = \frac{\tan^{-1} \frac{34.893\Omega}{50\Omega}}{1.894} = 3.217mm$$

The following table shows the variation of $\pm 20\%$ in the reactive component and $\pm 5\%$ for the resistive part:

CASE	R (Ω)	C _p (F)	R	X _{CP} (Ω)	LOAD_RL (dB)	L (H)
TYP	50	890f	16.4	-34.89	4.702	1.084n
LO-R/LO-C	47.62	740f	16.67	-41.96	3.346	2.17n
LO-R/HI-C	47.62	1.07p	16.67	-29.02	4.324	1.5n
HI-R/LO-C	52.5	740f	16.11	-41.96	3.283	2.17n
HI-R/HI-C	52.5	1.07p	16.11	-29.02	4.18	1.5n

Simulations

The ideal circuit was simulated in APLAC in order to compare the results against the physical implementation of the transmission line.

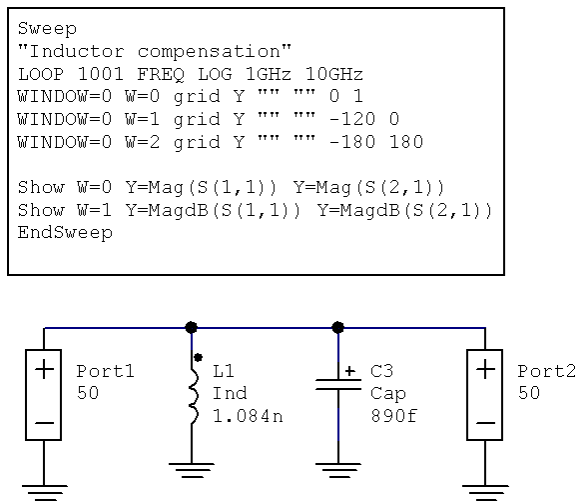


Image 7 – APLAC Testbench with ideal components.

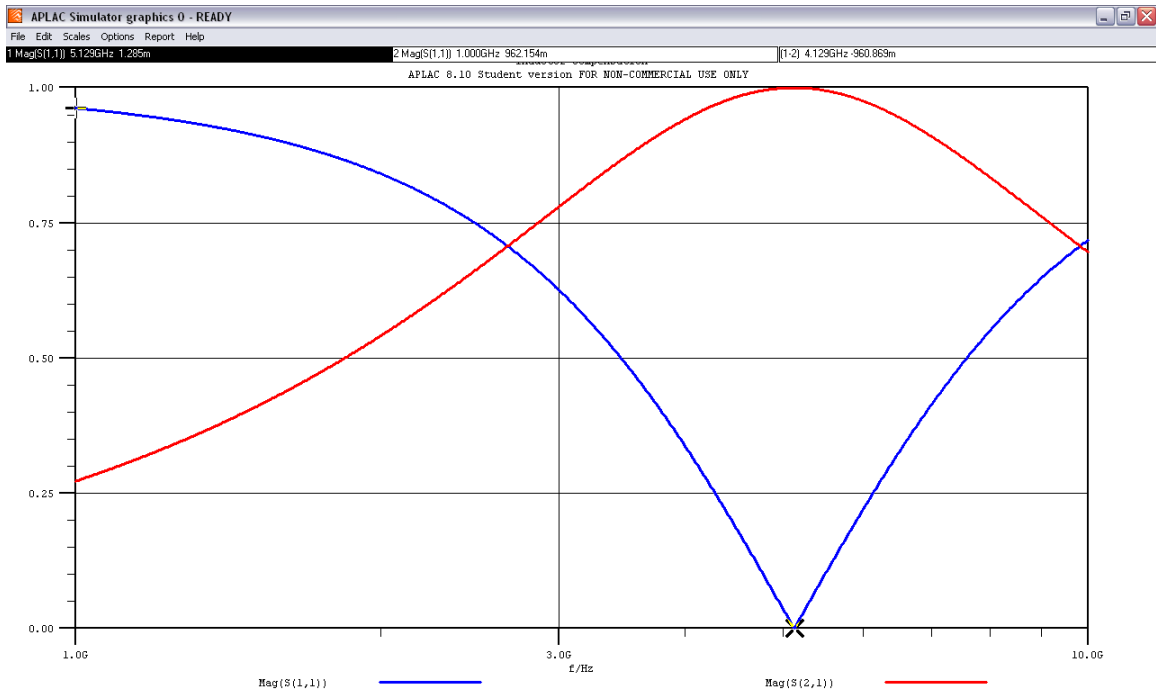


Image 8 – S_{11} & S_{22} magnitude for ideal components. At 5.129GHz, a pretty close frequency to the application one, the magnitude is near to zero.

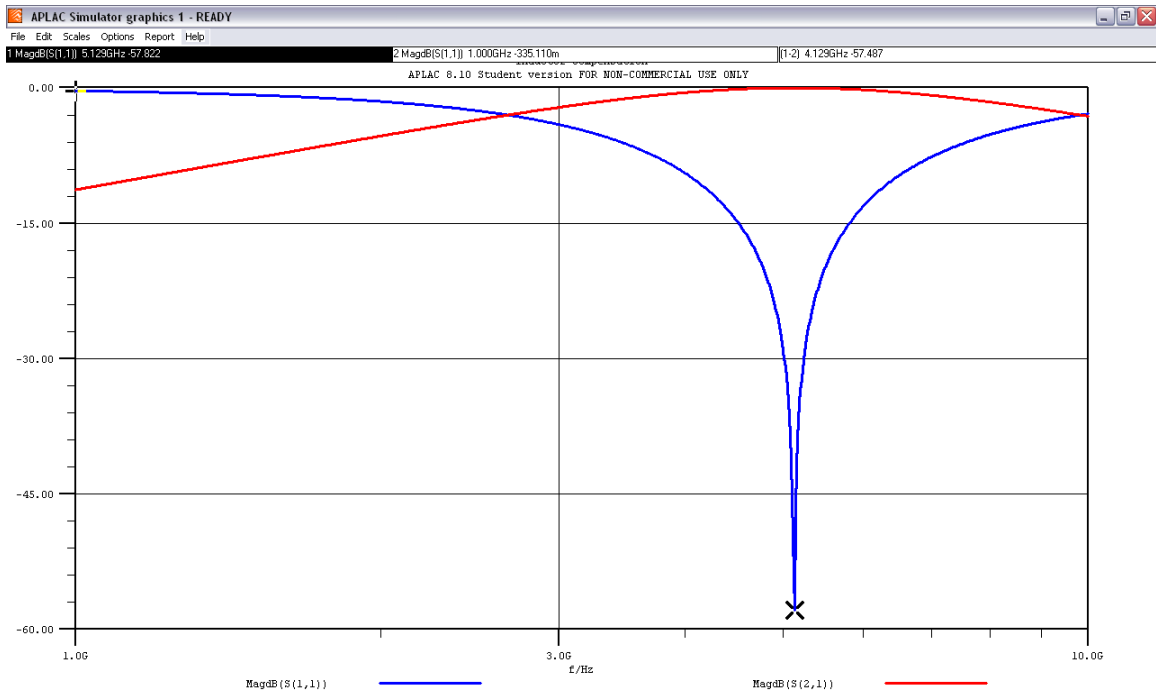


Image 9 – S_{11} & S_{22} Bode plot for ideal components, again at 5.129GHz.

Using the dimensions calculated for the transmission line and emulating the load capacitor with an open-circuit transmission line (actually, a parallel plate capacitor) as shown in the image 10, the

```

Sweep
"Inductor compensation"
LOOP 1001 FREQ LOG 1GHz 10GHz
WINDOW=0 W=0 grid Y "" "" 0 1
WINDOW=0 W=1 grid Y "" "" -120 0
WINDOW=0 W=2 grid Y "" "" -180 180

Show W=0 Y=Mag(S(1,1)) Y=Mag(S(2,1))
Show W=1 Y=MagdB(S(1,1)) Y=MagdB(S(2,1))
EndSweep

```

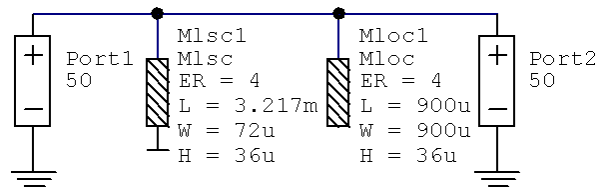


Image 10 – Testbench for modeled components with transmission lines

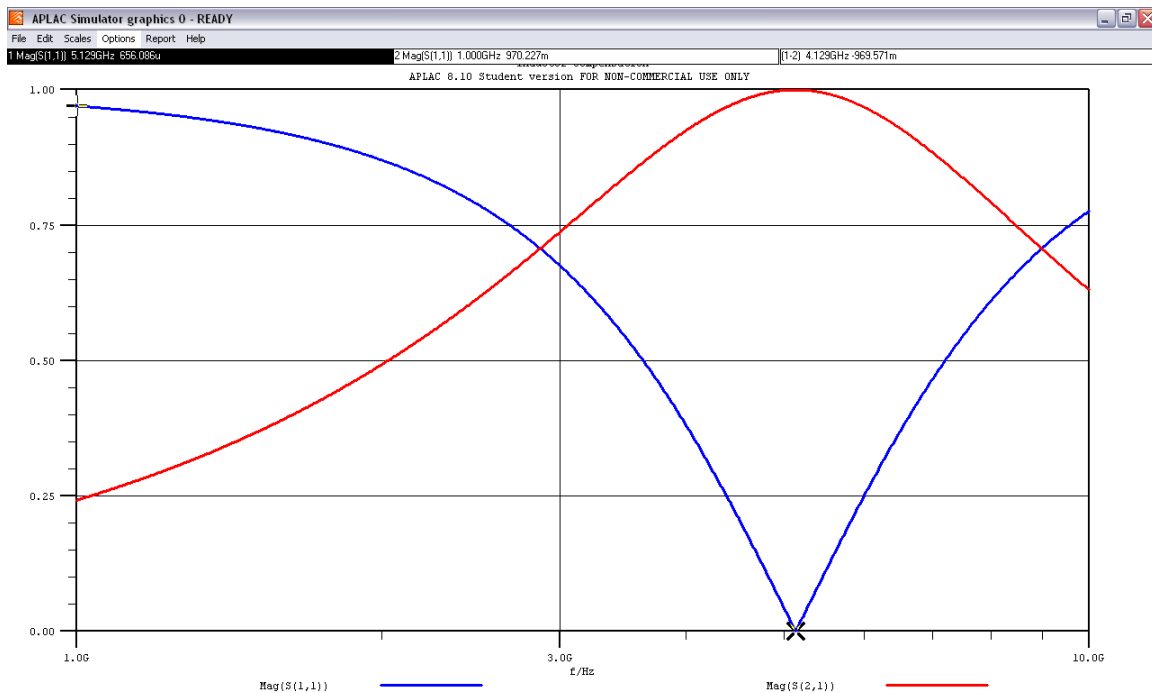


Image 11 – S_{11} & S_{22} magnitude for modeled components, at the frequency of 5.129GHz the magnitude is almost half of the magnitude simulated with ideal values.

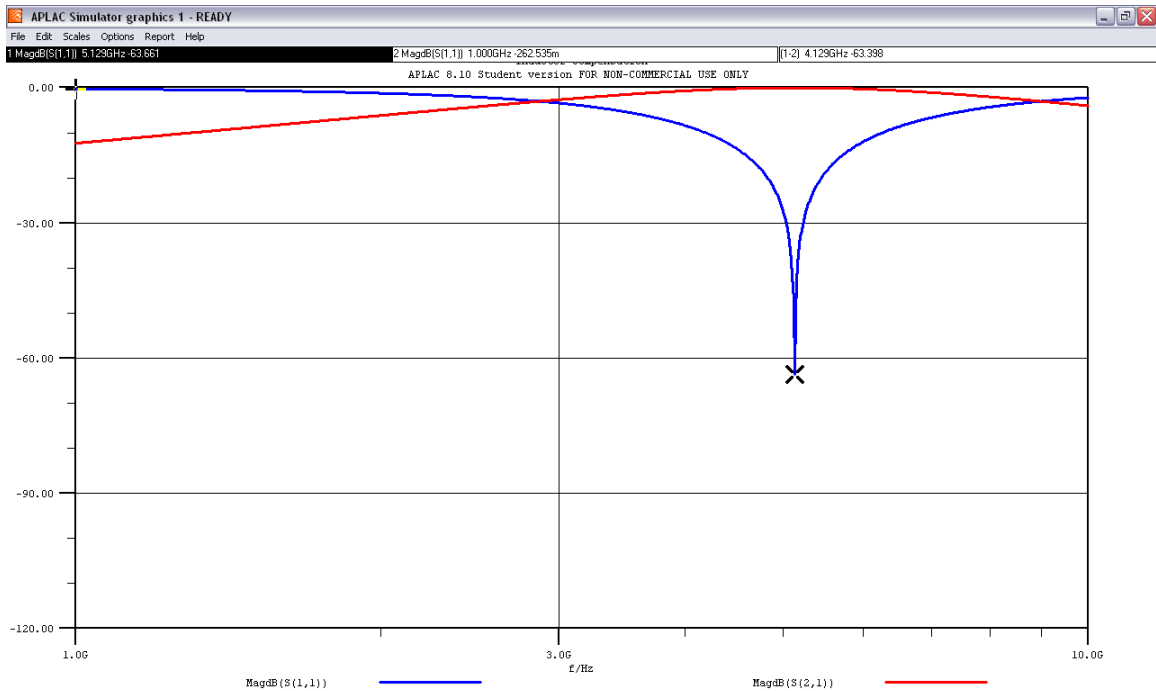


Image 12 – S_{11} & S_{22} Bode plot for modeled components.

Physical implementation

The circuit was drawn in Sonnet software, the transmission line of 3.217mm shorted at the end of the line and the square parallel plates capacitor of 900 μ m x 900 μ m as shown in the following image:

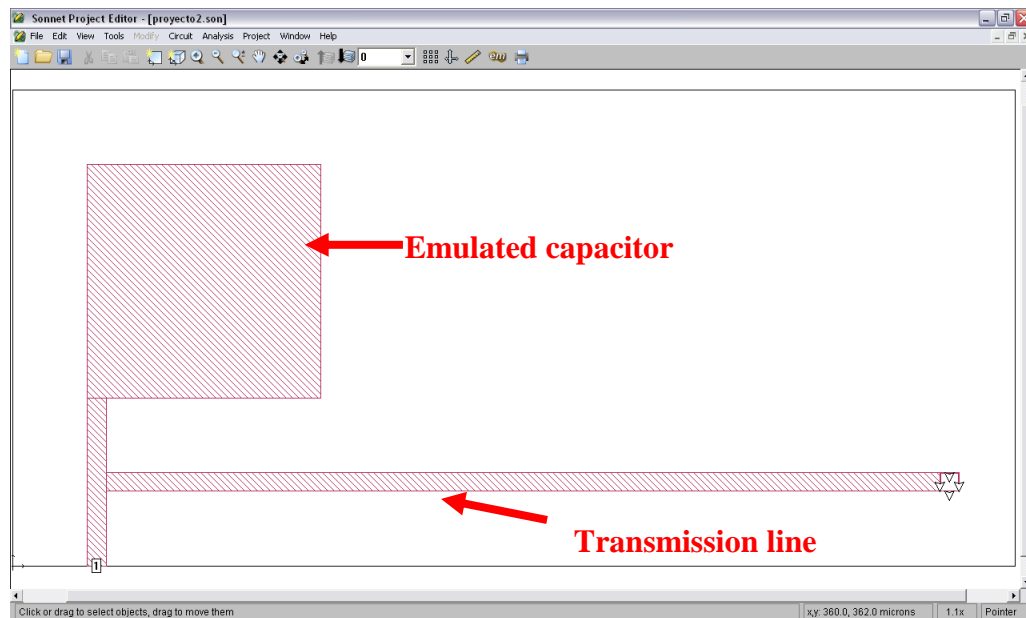


Image 12 – Layout of the testbench.

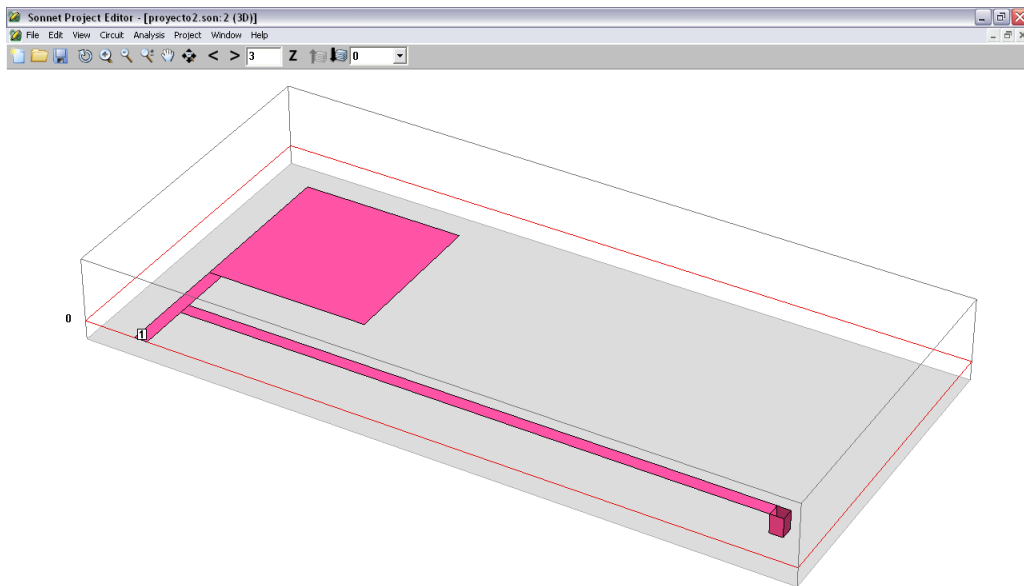


Image 13 – 3D image of the physical implementation.

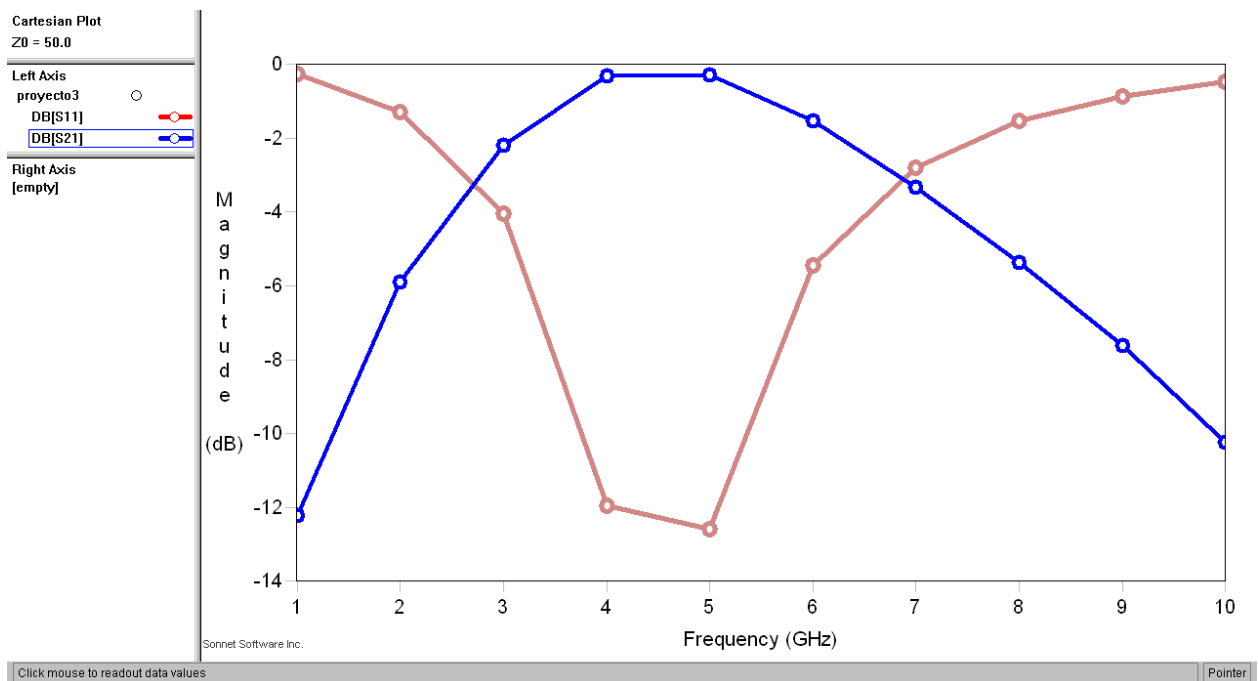


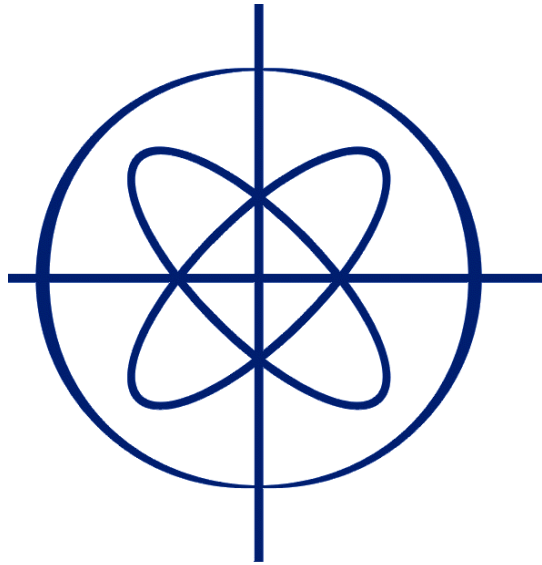
Image 14 – An approximate frequency response for S_{11} & S_{21} of the physical implementation

Conclusions

The approach to compensate the capacitance of the receiver block is not possible to be implemented physically because the integrated circuit does not have space to allow a 3.22mm short-circuited transmission line. While the approximation of a single line is not a valid solution for a commercial product, a more complex structure should be reviewed and implemented. A tuned delay-line may be an option in order to adequate the electrical length to a shorter circuit.

A secondary and a more complex approach would be to compensate each integrated block alone. The exercise here was done for a single capacitance value which represents the total capacitance of the routing. To analyze each block and match its impedance as a black-box, the geometry of the transmission line would be smaller, divided by each internal block, hence a more accurate matching.

**C. COMPARACIÓN DE LA RESPUESTA DE REFLEXIÓN EN
MICROCINTAS CON DOBLECES DE 90° ABRUPTOS,
ACHURADO Y TRANSICIÓN RADIAL**



ITESO

UNIVERSIDAD JESUITA
EN GUADALAJARA

**Comparación de la respuesta de reflexión en
microcintas con dobleces de 90° abruptos, achurado y
transición radial**

Ing. Arturo Arias

Abstract

El presente trabajo analiza de forma comparativa el efecto del doblez de líneas de transmisión de tipo microcinta en ángulos de 90° a través de esquinas abruptas y achuradas, en ángulos de 45° y con transición radial. Los circuitos de prueba se basarán en sustrato tipo FR-4. Las figuras de mérito serán el coeficiente de reflexión S_{11} y la distribución de corriente a lo largo de las líneas, mostrando gráficamente los efectos inherentes al doblez de las mismas. Se analizarán en el plano de la frecuencia entre los 300MHz y los 30GHz ya que es un rango donde se encuentran la mayoría de las señales en aplicaciones de comunicaciones como señales de reloj de referencia, buses de datos de alta velocidad, señales analógicas de alta frecuencia y señales de radiofrecuencia. Para realizar el análisis se utilizará el simulador circuital APLAC y el simulador electromagnético Sonnet.

Introducción

Las líneas de transmisión de tipo microcinta con dobleces son de uso común en las tarjetas de circuito impreso dado a la diversidad de señales que existen en tal ^[1]. Las discontinuidades de este tipo implican un cambio en la respuesta del parámetro de reflexión S_{11} , implicando una reducción considerable del ancho de banda útil de toda la ruta. Para efectos del presente trabajo se le denomina ancho de banda útil a la frecuencia en la que la magnitud de la pérdida, a través del parámetro S_{11} , alcanza un valor aproximado de 1dB lo cuál representa una atenuación aproximada de un 10% de la señal. No es el interés de este trabajo el encontrar el ancho de banda de la línea donde la frecuencia de corte sea atenuada 3dB a la magnitud en la banda de paso.

Las microcintas se implementan con las siguientes especificaciones:

- Substrato tipo FR4 con espesor de 31mils.
- Constante dieléctrica $\epsilon_r = 4.6$.
- Constante de pérdida tangencial $\delta = 0.016$.
- La microcinta recta es de una impedancia de 50Ω para 6GHz.

Análisis preliminar en APLAC

Para realizar una aproximación al diseño de la microcinta, se hizo un análisis preliminar utilizando APLAC y tomando como parámetros las especificaciones mencionadas previamente. Utilizando la calculadora integrada en la herramienta se encontró que para lograr la impedancia característica de 50Ω con el espesor de dieléctrico especificado sintonizada a 6GHz era necesarias un ancho de trazo de 54mils (1.3716mm) y una longitud de 534mils (13.5636mm).

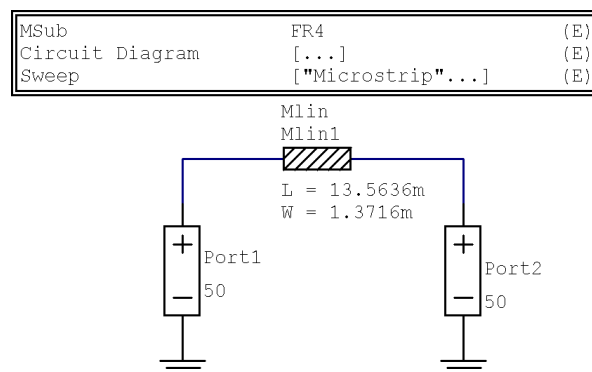


Imagen 1 – Circuito de prueba en APLAC

Se hizo un análisis dos puertos de los 300MHz a los 30GHz y en un barrido lineal, arrojando las siguientes gráficas:

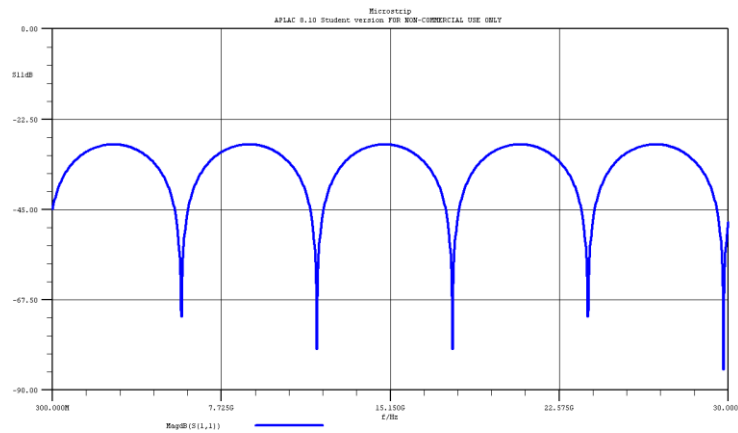


Imagen 2 – Parámetro S_{11} . Los mínimos de reflexión se presentan en múltiplos de 6GHz aproximadamente, menores que -70dB.

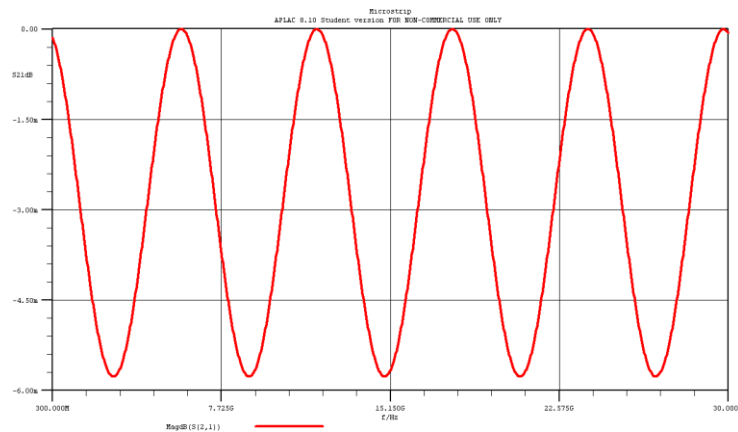


Imagen 3 – Parámetro S_{21} . Los mínimos de pérdida se presentan en múltiplos de 6GHz aproximadamente, aun cuando la máxima pérdida es despreciable (menor que 0.006dB).

Análisis con Sonnet

Como primer paso se caracterizó el diseño de la microcinta recta, que en el caso de este trabajo sirve como punto de comparación para las microcintas con dobleces. De nuevo, se realizó un barrido en frecuencia de 300MHz a 30GHz. En la imagen 4 es posible notar que el flujo de corriente se concentra en los bordes de la microcinta a una frecuencia aproximada de 6GHz (debido a los puntos discretos que calcula la herramienta), y hacia el centro de la misma, el contraste de color a lo largo de ésta permite ver el efecto de VSWR. En la imagen 5 se muestra la respuesta en frecuencia de la microcinta recta donde los marcadores 1, 2 y 3 demuestran que los valles de menor reflexión se presentan en múltiplos de 6GHz aproximadamente, y presentando una máxima reflexión a los 21.8GHz donde la microcinta no permite el paso de la señal del puerto 1 al puerto 2 con una atenuación de aproximadamente 26dB.

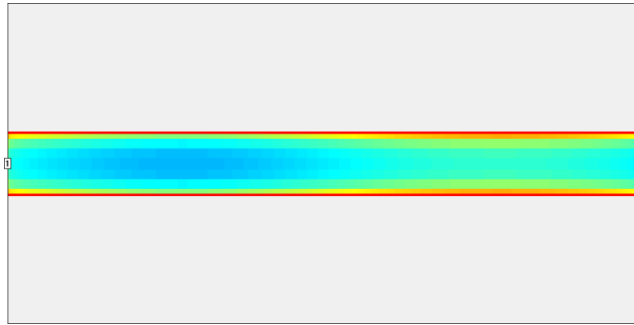


Imagen 4 – Distribución de corriente a lo largo de la microcinta a una frecuencia aproximada de 6GHz.

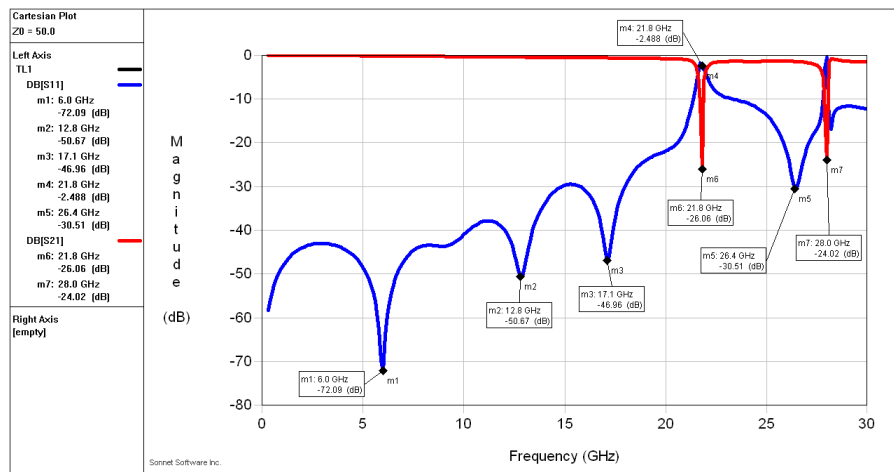


Imagen 5 – Respuesta en frecuencia de la microcinta recta.

Es notorio el contraste de la imagen 5 con la imagen 2 obtenida en APLAC. En el caso de Sonnet, el análisis considera otros parámetros que APLAC no, como la caja de análisis que contiene el campo electromagnético.

A continuación, en la imagen 6 se ilustra la distribución de corriente en el doblez abrupto de 90° donde, gracias al contraste de color es posible reconocer efecto *Indy* en la corriente, la cual fluye en gran medida por el ángulo interior de la microcinta. Para todas las microcintas, se usó la frecuencia más cercana a los 6GHz para poder ilustrar el flujo de corriente. En la imagen 7, la respuesta en frecuencia permite ver la reducción drástica del ancho de banda útil ya que a los 17GHz ya presenta la máxima reflexión en el puerto 1 ^[2].

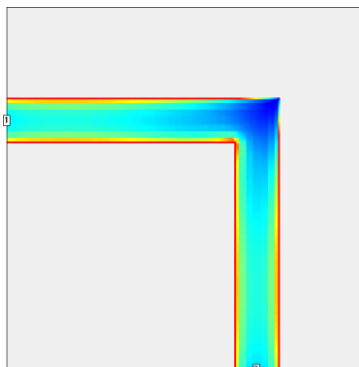


Imagen 6 – Distribución de corriente a lo largo de la microcinta con doblez de 90°.

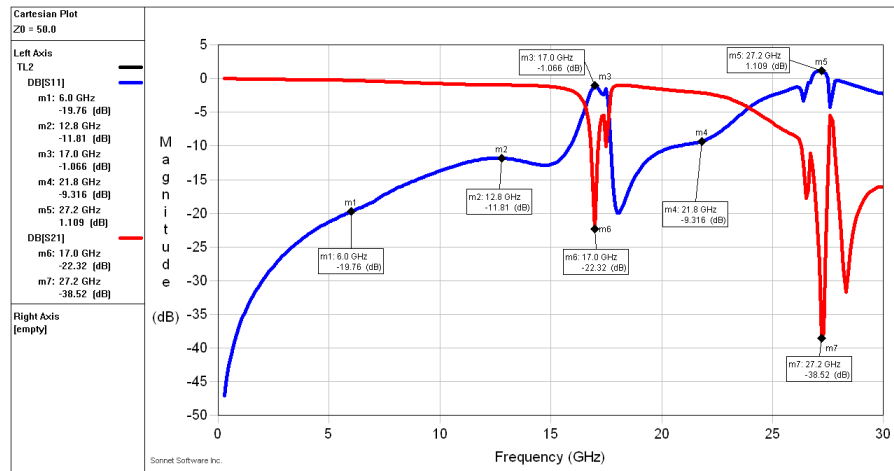


Imagen 7 – Respuesta en frecuencia de la microcinta con doblez abrupto de 90°.

A continuación, en la imagen 8 se ilustra la distribución de corriente en el doblez con achurado angosto (a la izquierda) y el doblez con achurado medio (a la derecha). Es importante mencionar que el ancho de la línea en el doblez achurado angosto se reduce hasta 38.18mils pues el recorte inicia donde la microcinta horizontal alcanza los 270mils de longitud, hasta conectarse con la microcinta vertical de misma longitud. En el caso de la línea con achurado medio, se procuró tener un ancho aproximado de 54mils desde el vértice del ángulo interior hacia el ángulo exterior (que es el que sufre el recorte). En las imágenes 9 y 10 se muestra la respuesta en frecuencia para las microcintas mencionadas. En la primera es notorio que existe una ligera mejora en el parámetro de reflexión respecto a la línea con doblez abrupto de 90°, incluso, el ancho de banda útil se incrementa ligeramente, más adelante se cuantificará. En la imagen 10 es posible notar la similitud de la respuesta con la de la línea con doblez abrupto. Se puede inferir que un achurado muy pequeño no es útil para mejorar la respuesta en cuanto al parámetro de reflexión.^[6]

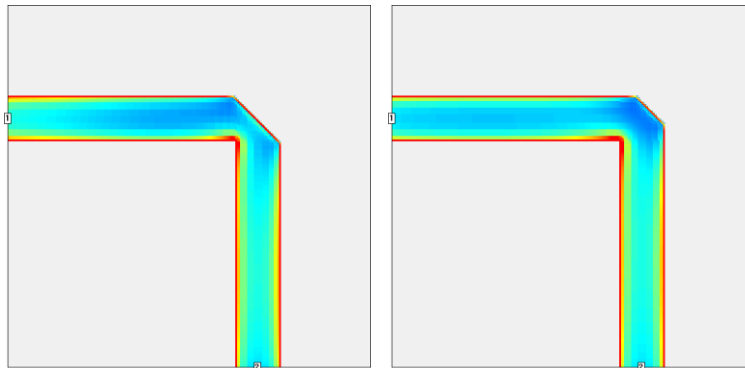


Imagen 8 – Dobleses con achurado angosto (izquierda) y achurado medio (derecha). Es posible notar que el efecto Indy es disminuído y existe un flujo de corriente tanto por el ángulo interior como a lo largo del recorte, siendo más generoso en el caso del achurado angosto que en el medio.

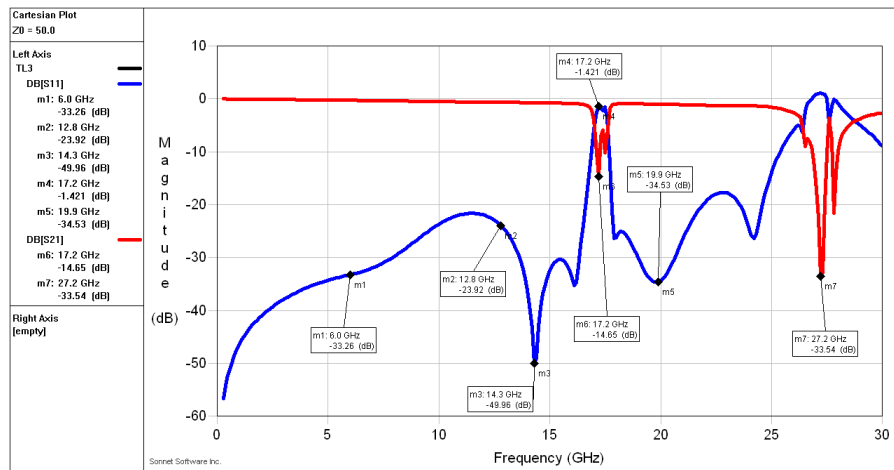


Imagen 9 – Respuesta en frecuencia de la microcinta con achurado angosto.

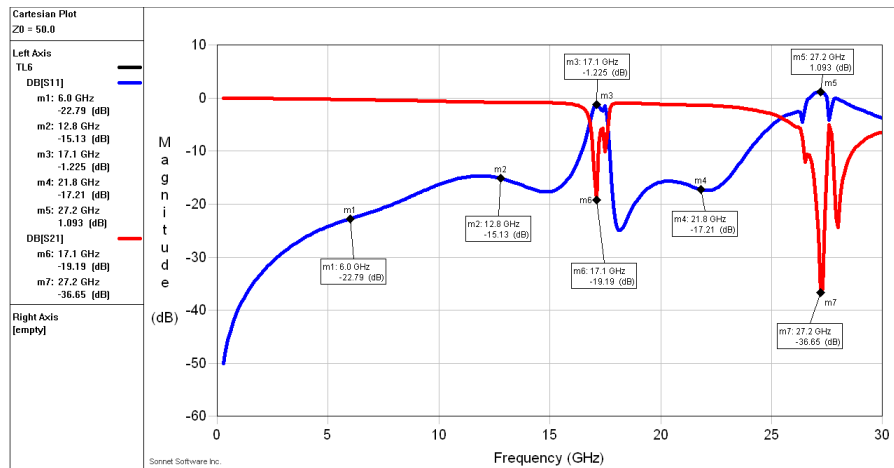


Imagen 10 – Respuesta en frecuencia de la microcinta con achurado medio. Una respuesta muy similar a la microcinta con doblez abrupto.

En la imagen 11 se muestran las distribuciones de corriente en las microcintas (a la izquierda) con 2 ángulos de 45° y (a la derecha) con transición radial.

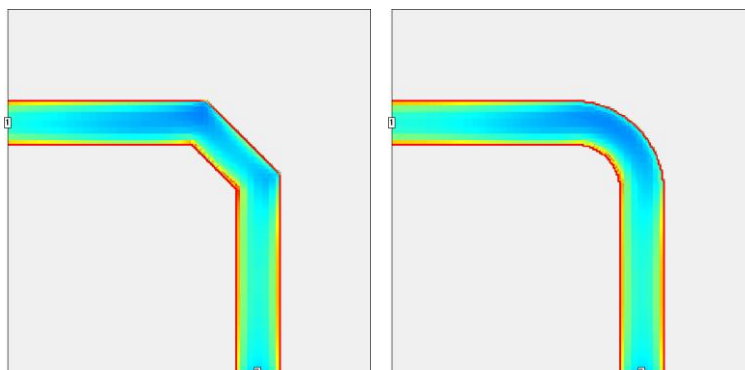


Imagen 11 – Dobles con 2 ángulos de 45° (izquierda) y transición radial (derecha). Nuevamente es posible notar que el efecto Indy es casi invisible y el flujo de corriente sucede en ambos bordes de las líneas.

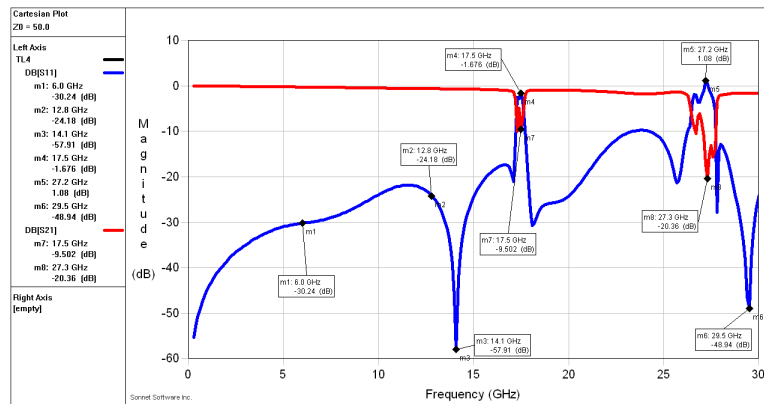


Imagen 12 – Respuesta en frecuencia de la microcinta con dos dobleces de 45°.

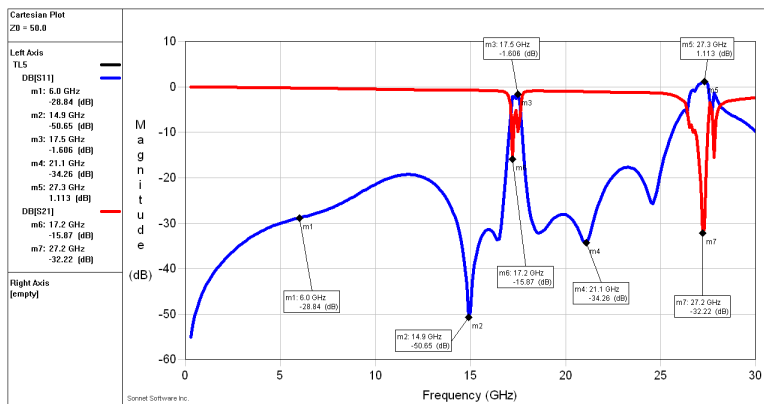


Imagen 13 – Respuesta en frecuencia de la microcinta con transición radial.

De las imágenes 12 y 13 es posible notar que la frecuencia de mayor reflexión es aproximadamente 27.2GHz y la tendencia de la pérdida entre los 2 puertos es más ligera que en las otras microcintas, es decir, en las frecuencias de menor atenuación, la pérdida es menor e incluso, en las frecuencias de mayor atenuación, la magnitud es menor que, por ejemplo, las microcintas achuradas.

En base a la respuesta en frecuencia de las microcintas, se capturó la frecuencia en la cual el parámetro de pérdida S_{21} alcanza una atenuación aproximada de 1dB. En la tabla 1 se muestra la diferencia de frecuencia del mencionado ancho de banda útil respecto a la microcinta recta y el porcentaje del corrimiento de frecuencia.

Tabla 1 – Comparación de ancho de banda útil de las distintas microcintas respecto a la microcinta recta.

	Frecuencia (GHz)	Pérdida (dB)	Diferencia de frecuencia (GHz)	Porcentaje de diferencia
Microcinta recta	21	-1.032		
Doble de 90°	13.8	-1.000	-7.2	-34.29%
Doble 90° con achurado angosto	16.5	-1.032	-4.5	-21.43%
Dobles de 45°	16.8	-0.996	-4.2	-20.00%
Doble radial	16.7	-1.018	-4.3	-20.48%
Doble 90° con achurado medio	15.6	-1.022	-5.3	-25.24%

Conclusiones

Se analizaron las distintas microcintas en forma comparativa utilizando las herramientas APLAC y Sonnet obteniendo los resultados donde es posible inferir lo siguiente: La microcinta con doblez abrupto de 90° tiene un menor ancho de banda útil (cerca de un 1/3 del correspondiente a la línea recta). En cuanto a los dobleces achurados, se tiene mejor respuesta en los parámetros de reflexión y de atenuación con el achurado más angosto que con el de medio recorte, es decir, el más similar al de doblez abrupto. Por otro lado, los dobleces radiales y de dos dobleces de 45° tienen respuestas muy similares en los parámetros mencionados y cabe aclararse que un doblez radial es más costoso en términos de fabricación de una placa de circuito impreso que ángulos de 45°, los cuáles son muy recurridos en los diseños de tarjetas.

Referencias

- [1] Wang, H.; Ji, Y.; Hubing, T.H.; Drewniak, J.L.; van Doren, T.P.; DuBroff, R.E., "Experimental and numerical study of the radiation from microstrip bends" Electromagnetic Compatibility, IEEE Symposium, vol. 2, pp. 739 – 741, 2000.
- [2] Moore, J.; Ling, H., "Characterization of a 90° microstrip bend with arbitrary miter via the time-domain finite difference method" Microwave theory and techniques, IEEE Transactions vol. 38, Issue: 4 pp. 405 – 410. 1990.
- [3] Visser, H.J., "Equivalent [length](#) design equations for right-angled microstrip bends" Antennas and propagation, EuCAP: The Second European Conference, pp. 1 – 6. 2007.
- [4] Broumas, A.D.; Ling, H.; Itoh, T., "Transmission properties of a right-angle microstrip bend with and without a miter" [Microwave theory and techniques, IEEE Transactions](#) vol. 37, 1989.
- [5] Weisshaar, A.; Tripathi, V.K., "Perturbation analysis and modeling of curved microstrip bends" [Microwave theory and techniques, IEEE Transactions](#) vol. 38, pp. 1449 – 1454. 1990.
- [6] J. P. Douville, and D. S. James, "Experimental study of symmetric microstrip bends and their compensation" IEEE Transactions on Microwave Theory and Techniques, vol. 26, pp.175 – 181. 1978